

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



5-17-04

DPW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Raimund Peichl et al.

§

Group Art Unit: 2811

§

Examiner:

§

Filing Date: December 8, 2003

§

Attny. Docket No. 068758.0145

Title: Lateral Pin Diode and Method for
Processing Same

Client Ref.: I020511PUS/sb

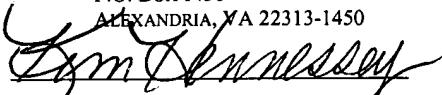
§

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CERTIFICATE OF MAILING VIA EXPRESS MAIL

PURSUANT TO 37 C.F.R. § 1.10, I HEREBY CERTIFY THAT I HAVE INFORMATION AND A REASONABLE BASIS FOR BELIEF THAT THIS CORRESPONDENCE WILL BE DEPOSITED WITH THE U.S. POSTAL SERVICE AS EXPRESS MAIL POST OFFICE TO ADDRESSEE, ON THE DATE BELOW, AND IS ADDRESSED TO:

MAIL STOP
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450


EXPRESS MAIL LABEL: EV449864714US
DATE OF MAILING: MAY 14, 2004

SUBMISSION OF PRIORITY DOCUMENT

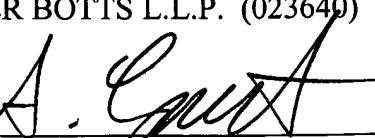
Dear Sir:

We enclose herewith a certified copy of German patent application DE 101 27 952.3 which is the priority document for the above-referenced patent application.

Respectfully submitted,

BAKER BOTTS L.L.P. (023640)

By:


Andreas H. Grubert
(Limited recognition 37 C.F.R. §10.9)
One Shell Plaza
910 Louisiana Street
Houston, Texas 77002-4995
Telephone: 713.229.1964
Facsimile: 713.229.7764
AGENT FOR APPLICANTS

Date: May 14, 2004

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 27 952.3

Anmeldetag: 8. Juni 2001

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

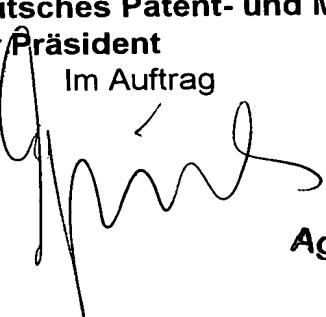
Bezeichnung: Laterale PIN-Diode und Verfahren zur Herstellung
derselben

IPC: H 01 L 29/868

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. April 2004
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag



Agurks

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Patentanwälte · Postfach 710867 · 81458 München

Infineon Technologies AG

St.-Martin-Str. 53

81669 München

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977
e-mail: szsz_iplaw@t-online.de

Laterale PIN-Diode und Verfahren zur Herstellung derselben

Postanschrift / Mail address: Postfach / P. O. Box 710867, 81458 München

Kanzleianschrift / Office address: Irmgardstraße 22, 81479 München

Bankverbindung / Bankers: HypoVereinsbank Grünwald, Kontonummer 2960 155 028 (BLZ 700 202 70)

Postgiroamt München, Kontonummer 315 720-203 (BLZ 700 100 20)

USt-Id Nr. / VAT Registration Number DE 130575439

Beschreibung**Laterale PIN-Diode und Verfahren zur Herstellung derselben**

5 Die vorliegende Erfindung bezieht sich auf eine PIN-Diode und ein Verfahren zu ihrer Herstellung und insbesondere auf eine PIN-Diode mit einer lateralen Stromflussrichtung.

PIN-Dioden sind Halbleiterdioden, die zwischen einem p-dotierten p-Bereich und einem n-dotierten n-Bereich einen Zwischenbereich aufweisen, der sehr viel niedriger als der p-Bereich und der n-Bereich dotiert ist und auch als intrinsischer Bereich oder i-Bereich bezeichnet wird. PIN-Dioden finden in großer Zahl unter anderem in Hochfrequenzschaltungen Anwendung, wo sie in verschiedenen Funktionen, unter anderem als passive Hochfrequenzdioden bei Frequenzen bis 50 GHz und darüber, verwendet werden. Für viele Anwendungen ist eine PIN-Diode mit einem "langen" i-Bereich wünschenswert oder erforderlich.

PIN-Dioden werden herkömmlich vertikal aufgebaut, d. h. auf ein Substrat bzw. einen Wafer werden nacheinander eine p-dotierte Halbleiterschicht als p-Bereich, eine schwach dotierte Halbleiterschicht als i-Bereich und eine n-dotierte Halbleiterschicht als n-Bereich in dieser oder der entgegengesetzten Reihenfolge aufgewachsen. Die sogenannte Länge des i-Bereichs entspricht der Dicke der schwach dotierten Halbleiterschicht. Obwohl so an sich ein beliebig langer i-Bereich hergestellt werden kann, indem eine entsprechend dicke schwach dotierte Halbleiterschicht gewachsen wird, ergeben sich in der Praxis technische Probleme. Einerseits ist es häufig erwünscht, dass die Kontakte bzw. Anschlussflächen sowohl für die Anode als auch für die Kathode auf eine und die selben Seite des Bauelements angeordnet sind, beispielsweise an der Oberfläche der auf das Substrat aufgewachsenen Schichtstruktur. Dies bedeutet, dass von der Unterseite der Schichtstruktur aus über die gesamte Bauteilhöhe eine elekt-

rische Verbindung zu der Oberseite der Schichtstruktur hergestellt werden muss. Dies kann insbesondere bei einem langen i-Bereich ($> 30 \mu\text{m}$) bzw. einer entsprechend dicken schwach dotierten Halbleiterschicht nur sehr aufwendig gelöst werden.

5 Andererseits entstehen bei langen i-Bereichen auch Probleme bei der Vereinzelung von auf einem Substrat hergestellten Dioden bzw. bei der Isolation der PIN-Diode von lateral benachbarten Halbleiterstrukturen an dem gleichen Substrat. Eine Vereinzelung durch Sägen des Substrats mit der aufgewachsenen 10 Schichtstruktur der PIN-Diode erzeugt rauhe Oberflächen bzw. Sägeränder, welche sich auf die Randrekombinationseigenschaften der PIN-Diode negativ auswirken. Eine bezüglich der Randrekombinationseigenschaften wesentlich vorteilhaftere laterale Trennung bzw. Isolation einer PIN-Diode von benachbarten 15 Bauelementen durch Ätzen eines Grabens ("Trench") ist heute technologisch auf eine Tiefe des Grabens bzw. eine Dicke der Halbleiterschichtstruktur von ca. $30 \mu\text{m}$ begrenzt. Die Herstellung von PIN-Dioden mit besonders langen i-Bereichen ($> 30 \mu\text{m}$) ist somit aufwendig und teuer in der Herstellung 20 und erfordert Kompromisse bei den Randrekombinationseigenschaften.

Die Aufgabe der vorliegenden Erfindung besteht darin, eine PIN-Diode mit einem langen i-Bereich und ein Verfahren zu ihrer 25 Herstellung zu schaffen.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 oder eine PIN-Diode gemäß Anspruch 8 gelöst.

30 Der vorliegenden Erfindung liegt die Idee zugrunde, eine PIN-Diode horizontal, d. h. parallel zu einer Waferoberfläche, anzuordnen, um unabhängig von der Dicke einer schwach dotierten Halbleiterschicht, die zur Bildung des i-Bereichs dient, einen langen i-Bereich zu erzielen. Eine Kombination der 35 "Trench"-Technologie ("Graben"-Technologie) und der Technologie des Waferbondens ermöglicht die Herstellung von PIN-Dioden mit einer horizontalen P-I-N-Struktur. Die Trench-

Technologie schafft qualitativ hochwertige passivierende O-
xidgrenzflächen, welche eine geringe Rekombinationsrate her-
vorrufen. Die horizontale Anordnung der P-I-N-Struktur ermög-
licht zusätzliche Freiheitsgrade in der Wahl der Orientierung
5 und der Querschnitte des Strom/Signalflusses. Besonders PIN-
Dioden mit langen i-Bereichen, die bisher nur vertikal mit-
tels einer besonders dicken Epitaxie (30 µm bis 150 µm) rea-
lisiert werden konnten, sind nun einfacher und mit verschie-
denen Parametern realisierbar. Insbesondere ist es nun ein-
10 fach möglich, die Anschlussflächen für Anode und Kathode an
der gleichen Waferoberfläche bzw. an der gleichen Seite des
Bauelements auszuführen. Dadurch wird beispielsweise die Ges-
taltung der PIN-Diode als "Flip-Chip" möglich. Die Verwendung
der Technologie des direkten Waferbondens ermöglicht ferner
15 eine vollständig in Oxid gekapselte PIN-Diode.

Als Ausgangsmaterial für eine PIN-Diode gemäß der vorliegen-
den Erfindung kann ein "Direct-Bonded"-Wafer verwendet wer-
den, der bereits eine isolierende Oxidschicht zwischen dem
20 Handhabungs- bzw. Trägerwafer, der im folgenden meist nur
Substrat genannt wird, und dem Bauelement- bzw. Device-Wafer,
der im folgenden Bauelementsubstrat genannt wird, aufweist.
Diese isolierende Oxidschicht bildet eine Grenzfläche des
späteren i-Bereichs der PIN-Diode. Parallel zur Richtung des
25 späten Stromflusses werden "Trenches" bzw. Gräben in das
Bauelementsubstrat geätzt, die von der offenliegenden Ober-
fläche des Bauelementsubstrats bis zu der isolierenden Oxid-
schicht zwischen dem Bauelementsubstrat und dem Substrat rei-
chen. Desgleichen werden Gräben senkrecht zur Stromrichtung
30 geätzt. Damit ist der Bereich der späteren PIN-Diode durch
Oxidschichten lateral vom restlichen Bauelementsubstrat iso-
liert. Durch die im wesentlichen nur durch die laterale Aus-
dehnung des Bauelementsubstrats beschränkte laterale Gestalt
und Ausdehnung der Gräben entsteht eine große Freiheit in der
35 Gestaltung der Form und der Querschnitte der PIN-Diode und
ihrer einzelnen p-, n- und i-Bereiche. So ist es insbesondere
einfach möglich, einen sehr langen i-Bereich, der im folgen-

den meist als Zwischenbereich bezeichnet wird, zu schaffen. Die Länge des i-Bereichs bzw. Zwischenbereichs ist dabei insbesondere von der Tiefe der Gräben unabhängig.

5 Zur Herstellung des p-Bereichs und des n-Bereichs der lateralen PIN-Diode können ebenfalls geätzte Gräben verwendet werden, die mit hoch leitfähigem p+- bzw. n+-Polysilizium gefüllt werden. Alternativ kann eine geeignete Dotierung des Halbleiters zur Herstellung des p-Bereichs und des n-Bereichs
10 durch eine steile Implantation des entsprechenden p-Materials bzw. n-Materials in die für den p-Bereich bzw. den n-Bereich vorbestimmten Bereiche des Bauelementsubstrats erfolgen. Eine weitere Alternative ist das Ätzen von Gräben, die anschließend mit Phosphor bzw. Bor als Dotiermaterial belegt werden,
15 wobei die Dotiermaterialien anschließend in die die Gräben umgebenden Bereiche des Bauelementsubstrats eindiffundiert werden. Wird die isolierende Oxidschicht zwischen dem Bauelementsubstrat und dem Substrat unter dem p-Bereich oder dem n-Bereich aufgeätzt, kann ein Kontakt mit dem Substrat hergestellt werden, wodurch auch eine Kontaktierung des p-Bereichs oder n-Bereichs über die Rückseite des Substrats möglich wird. In oder hinter dem p-Bereich oder dem n-Bereich kann eine von der Oberfläche des Bauelementsubstrats in die Tiefe reichende Schicht mit erhöhter Leitfähigkeit, z. B. aus Metall-Silizid oder Wolfram, vorgesehen sein. Dadurch wird ein
20 Spannungsabfall innerhalb des p-Bereichs bzw. des n-Bereichs bei Stromfluss durch die PIN-Diode verringert und eine homogenere Stromverteilung innerhalb der PIN-Diode ermöglicht. Schließlich wird die Struktur durch eine Oxid/Nitrid-
25 Sandwich-Passivierung abgedeckt. Durch eine geeignete Wahl der Geometrie der Diodenbereiche können verschiedene elektrische Parameter optimiert werden. Zum Beispiel kann mit einer konzentrischen oder einer Tortenschnitt-Geometrie (kleiner n-Bereich und großer p-Bereich) eine PIN-Diode mit besonders
30 guten IP3-Eigenschaften und einem besonders guten Flusswiderstand Rf realisiert werden.
35

Gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung umfasst ein Verfahren zur Herstellung einer PIN-Diode einen Schritt des Bildens eines p-Bereichs auf einer ersten Oberfläche eines Substrats, einen Schritt des Bildens 5 eines n-Bereichs auf der ersten Oberfläche des Substrats beabstandet von dem p-Bereich und einen Schritt des Bildens eines Zwischenbereichs auf der ersten Oberfläche des Substrats zwischen dem n-Bereich und dem p-Bereich, wobei eine Dotierungskonzentration des Zwischenbereichs niedriger ist 10 als eine Dotierungskonzentration des p-Bereichs und niedriger ist als eine Dotierungskonzentration des n-Bereichs. Vorzugsweise umfasst das Verfahren ferner einen Schritt des Bereitstellens des Substrats und eines Bauelementsubstrats und einen Schritt des Waferbondens von Substrat und Bauelementsubstrat, wobei der p-Bereich, der n-Bereich und der Zwischenbereich 15 in dem Bauelementsubstrat gebildet werden und von dem Substrat isoliert sind. Ferner vorzugsweise wird in einem an den Zwischenbereich angrenzenden Abschnitt des Bauelementsubstrats ein Graben gebildet, der sich ausgehend von einer Oberfläche des Bauelementsubstrats, die dem Substrat abgewandt 20 ist, bis zu einer Oberfläche des Bauelementsubstrats, die dem Substrat gegenüber liegt, erstreckt, und der ferner in an den p-Bereich und an den n-Bereich angrenzenden Abschnitten des Bauelementsubstrats angeordnet sein kann. Der Graben kann mit 25 einem isolierenden Material gefüllt werden und grenzt ferner vorzugsweise unmittelbar an den Zwischenbereich bzw. den p-Bereich und den n-Bereich an. Das Verfahren kann ferner einen Schritt des Bildens einer isolierenden Schicht über dem p-Bereich, dem n-Bereich und dem Zwischenbereich umfassen, so 30 dass bei entsprechender Gestaltung des Grabens eine vollständig in Oxid gekapselte, laterale PIN-Diode entsteht.

Gemäß einem weiteren bevorzugten Ausführungsbeispiel der vorliegenden Erfindung umfasst eine PIN-Diode einen p-Bereich 35 auf einer ersten Oberfläche eines Substrats, einen n-Bereich auf der ersten Oberfläche des Substrats und einen Zwischenbereich auf der ersten Oberfläche des Substrats zwischen dem n-

Bereich und dem p-Bereich, wobei eine Dotierungskonzentration des Zwischenbereichs niedriger ist als eine Dotierungskonzentration des p-Bereichs und niedriger ist als eine Dotierungskonzentration des n-Bereichs. Das Substrat kann an sei-
5 ner ersten Oberfläche eine isolierende Schicht aufweisen, auf der ein Bauelementsubstrat angeordnet ist, wobei der p-
Bereich, der n-Bereich und der Zwischenbereich in dem Bauele-
mentsubstrat angeordnet sind. Ein Graben in einem an den Zwi-
schenbereich angrenzenden Abschnitt des Bauelementsubstrats,
10 der sich ausgehend von einer Oberfläche des Bauelementsubstrats, die dem Substrat abgewandt ist, bis zu einer Oberflä-
che des Bauelementsubstrats, die dem Substrat gegenüber
liegt, erstreckt, und der mit einem isolierenden Material ge-
füllt sein kann, kann den Zwischenbereich, und, wenn er fer-
15 ner in an den p-Bereich und den n-Bereich angrenzenden Ab-
schnitten des Bauelementsubstrats angeordnet ist, den p-
Bereich und den n-Bereich gegenüber anderen Bereichen des
Bauelementsubstrats isolieren. Die PIN-Diode kann ferner eine
Isolierschicht aufweisen, welche die von dem Substrat abge-
wandten Oberflächen des n-Bereichs, des p-Bereichs und des
Zwischenbereichs bedeckt. Der Zwischenbereich kann lateral
die Form eines Rechtecks, eines Trapezes, eines Kreises oder
eine andere Form aufweisen, wobei der p-Bereich und der n-
Bereich an zwei gegenüberliegenden Seiten des Rechtecks oder
25 des Trapezes angeordnet sein können. Sowohl der p-Bereich als
auch der n-Bereich kann sich jeweils über eine gesamte Seite
oder über einen Teil einer Seite erstrecken. Ferner kann die
laterale Form des Zwischenbereichs kreisförmig sein, wobei
der p-Bereich oder der n-Bereich sich kreisförmig entlang des
30 Randes des Zwischenbereichs erstrecken kann und der n-Bereich
bzw. der p-Bereich im wesentlichen in der Mitte des Zwischen-
bereichs angeordnet ist.

Ein Vorteil der erfindungsgemäßen PIN-Diode bzw. des erfin-
35 dungsgemäßen Verfahrens zur Herstellung einer PIN-Diode ist
die Möglichkeit eines langen Zwischenbereichs bzw. eines lan-
gen i-Bereichs. Durch die laterale Anordnung von p-Bereich,

i-Bereich bzw. Zwischenbereich und n-Bereich ist die Länge des i-Bereichs in Stromrichtung von der Dicke der schwach dotierten Halbleiterschicht, welche den Zwischenbereich bildet, unabhängig und kann auf einfache Weise nahezu beliebig verlängert werden. Ein weiterer Aspekt ist die dadurch verminderte Einbauhöhe der erfindungsgemäßen PIN-Diode, die nun in keinem Zusammenhang mehr mit der Länge des Zwischenbereichs steht. Da bei der erfindungsgemäßen PIN-Diode der Zwischenbereich unabhängig von seiner Länge in Stromrichtung seitlich vollständig von Oxidschichten umgeben ist, sind die Ladungsträgerrekombinationseigenschaften der erfindungsgemäßen PIN-Diode beispielsweise gegenüber herkömmlichen PIN-Dioden mit langem i-Bereich, die durch Sägeflächen vereinzelt werden, welche an den i-Bereich direkt angrenzen, deutlich verbessert. Weiterhin ermöglicht die erfindungsgemäße PIN-Diode eine völlig unaufwendige Anordnung beider Anschlüsse (für den p-Bereich und den n-Bereich) an der gleichen Seite bzw. Oberfläche der PIN-Diode. Die erfindungsgemäße PIN-Diode ist deshalb in besonderem Maße für den Einsatz innerhalb der Flip-Chip-Technologie geeignet.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

25

A) Fig. 1a eine schematische Darstellung einer PIN-Diode gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung;

30

Fig. 1b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 1a;

35

Fig. 2 eine schematische Draufsicht-Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 3 eine schematische Draufsicht-Darstellung einer PIN-Diode gemäß der vorliegenden Erfindung;

5 Fig. 4a eine schematische Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung im vertikalen Querschnitt;

10 Fig. 4b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 4a;

Fig. 5a eine schematische Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung im vertikalen Querschnitt;

15 Fig. 5b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 5a;

Fig. 6a eine schematische Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung im vertikalen Querschnitt;

20 Fig. 6b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 6a;

25 Fig. 7a eine schematische Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung im vertikalen Querschnitt;

30 Fig. 7b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 7a;

Fig. 8a eine schematische Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung im vertikalen Querschnitt;

35 Fig. 8b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 8a;

Fig. 9a eine schematische Darstellung einer PIN-Diode gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung im vertikalen Querschnitt; und

5

Fig. 9b eine schematische Draufsicht-Darstellung der PIN-Diode aus Fig. 9a.

Fig. 1a zeigt eine schematische Darstellung einer PIN-Diode
10 gemäß einem ersten bevorzugten Ausführungsbeispiel der
vorliegenden Erfindung in einer vertikalen Schnittansicht,
d. h. in einer Ansicht eines Schnittes entlang einer Ebene
senkrecht zu einer ersten Oberfläche 12 eines Substrats 14,
auf der die PIN-Diode 10 gebildet ist. Fig. 1b zeigt eine
15 schematische Darstellung der gleichen PIN-Diode 10 in einer
horizontalen Schnittansicht, d. h. in einem Querschnitt ent-
lang einer Ebene parallel zu der ersten Oberfläche 12 des
Substrats 14. Die PIN-Diode 10 weist einen p-Bereich 16, ei-
nen n-Bereich 18 und einen Zwischenbereich bzw. i-Bereich 20
20 auf. Zwischen dem Substrat 14 einerseits und dem p-Bereich
16, dem n-Bereich 18 und dem Zwischenbereich 20 andererseits
ist an der ersten Oberfläche 12 des Substrats 14 eine erste
25 isolierende Oxidschicht 22 angeordnet. Desgleichen ist an den
von der ersten Oberfläche 12 des Substrats 14 abgewandten O-
berfläche des p-Bereichs 16, des n-Bereichs 18 und des Zwi-
schenbereichs 20 eine zweite isolierende Oxidschicht angeord-
net, die im wesentlichen zu der ersten isolierenden Oxid-
schicht 22 parallel ist. Der Zwischenbereich 20 weist in la-
teraler Richtung (Fig. 1b) im wesentlichen die Form eines
30 Rechtecks auf. Der p-Bereich 16 und der n-Bereich 18 sind an
gegenüberliegenden Seiten dieses Rechtecks angeordnet und
grenzen über die gesamte Breite der jeweiligen Seite an den
Zwischenbereich direkt an. In vertikaler Richtung, d. h. in
Richtung senkrecht zu der ersten Oberfläche 12 des Substrats
35 14, erstrecken sie sich genau wie der Zwischenbereich 20 von
der ersten isolierenden Oxidschicht 22 bis zu der zweiten i-
solierenden Oxidschicht 24 und grenzen über diese gesamte Hö-

he direkt an den Zwischenbereich 20 an. An der von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 ist ein erstes elektrisch leitfähiges Bauglied 26 angeordnet, das über die gesamte Fläche der von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 an diesen direkt angrenzt, wodurch ein großflächiger elektrischer Kontakt zwischen dem p-Bereich 16 und dem ersten elektrisch leitfähigen Bauglied 26 hergestellt ist. Desgleichen ist an der von dem Zwischenbereich 20 abgewandten Seite des n-Bereichs 18 ist ein zweites elektrisch leitfähiges Bauglied 28 angeordnet, welches wiederum über die gesamte Fläche der von dem Zwischenbereich 20 abgewandten Seite des n-Bereichs 18 an diesen direkt angrenzt, wodurch ein großflächiger elektrischer Kontakt zwischen dem n-Bereich 18 und dem zweiten elektrisch leitfähigen Bauglied 28 hergestellt ist. Die elektrisch leitfähigen Bauglieder 26, 28 reichen in vertikaler Richtung von der ersten isolierenden Oxidschicht 22 bis zu der von dem Substrat 14 abgewandten Oberfläche der zweiten isolierenden Oxidschicht 24, wo sie lateral erweitert sind, um elektrische Kontakte bzw. Anschlussflächen 30, 32 zu bilden. Lateral an den p-Bereich 16, den n-Bereich 18, den Zwischenbereich 20, das erste elektrisch leitfähige Bauglied 26 und das zweite elektrisch leitfähige Bauglied 28 angrenzend ist ein umlaufender Graben bzw. "Trench" 34 angeordnet, der sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt. Der Graben 34 ist mit isolierendem Material gefüllt und umschließt in lateraler Richtung den p-Bereich 16, den n-Bereich 18, den Zwischenbereich 20 und die beiden elektrisch leitfähigen Bauglieder 26, 28 vollständig, so dass er diese gegebenenfalls von anderen, lateral benachbarten Halbleiterstrukturen oder Bauelementen auf der ersten Oberfläche 12 des Substrats 14 elektrisch isoliert. Die erste isolierende Oxidschicht 22, die zweite isolierende Oxidschicht 24 und der mit einem isolierenden Material gefüllte Graben 34 bilden zusammen eine vollständige Kapselung des p-Bereichs 16, des n-Bereichs 18, des Zwischenbereichs 20, des ersten elektrisch leitfähigen

Bauglieds 26 und des zweiten elektrisch leitfähigen Bauglieds 28, welche gemeinsam die PIN-Diode 10 bilden.

Der Zwischenbereich 20 besteht aus einem niedrig dotierten
5 Halbleitermaterial und bildet den "intrinsischen" Bereich bzw. i-Bereich der PIN-Diode 10. Der Zwischenbereich 20 weist eine Dotierungskonzentration auf, die niedriger oder wesentlich niedriger ist als die Dotierungskonzentrationen des p-Bereichs 16 und des n-Bereichs 18. Der p-Bereich 16 besteht
10 aus einem p-dotierten Halbleitermaterial und der n-Bereich besteht aus einem n-dotierten Halbleitermaterial. Der p-Bereich 16, der Zwischenbereich 20 und der n-Bereich 18 bilden zusammen die eigentliche P-I-N-Struktur der PIN-Diode 10. Das erste elektrisch leitfähige Bauglied 26 und das zweite
15 elektrisch leitfähige Bauglied 28 bestehen beispielsweise aus Wolfram, Metall-Silizid oder einem anderen gut leitfähigen Material und dienen dazu, auch bei einem Stromfluss durch die PIN-Diode 10 einen Spannungsabfall innerhalb des p-Bereichs 16 bzw. des n-Bereichs 18 aufgrund der beschränkten Leitfähigkeit des p-Bereichs 16 bzw. des n-Bereichs 18 zu minimieren und so eine über den Querschnitt der PIN-Diode 10 homogene Stromverteilung zu gewährleisten. Wäre die erste Anschlussfläche 30 bzw. die zweite Anschlussfläche 32 ohne das
20 erste elektrisch leitfähige Bauglied 26 bzw. das zweite elektrisch leitfähige Bauglied 28 mit dem p-Bereich 16 bzw. dem n-Bereich 18 leitfähig verbunden, so würde bei Stromfluss durch die PIN-Diode 10 ein Spannungsabfall von der mit der ersten Anschlussfläche 30 bzw. der zweiten Anschlussfläche 32 verbundenen Oberseite des p-Bereichs 16 bzw. n-Bereichs 18 zu
25 der an die erste isolierende Oxidschicht 22 angrenzende Unterseite des p-Bereichs 16 bzw. des n-Bereichs 18 auftreten, was eine über den Querschnitt der PIN-Diode 10 inhomogene Stromverteilung zur Folge hätte.
30
35 Der Zwischenbereich 20 der in den Fig. 1a und 1b dargestellten PIN-Diode 10 weist eine Länge in Richtung des Stromflusses zwischen dem p-Bereich und dem n-Bereich auf, die deut-

lich größer ist als die Breite des Zwischenbereichs 20 parallel zu der ersten Oberfläche 12 des Substrats 14 und senkrecht zu der Stromflussrichtung, und die ferner deutlich größer ist als die Breite des Zwischenbereichs senkrecht zu der 5 ersten Oberfläche 12 des Substrats 14 und senkrecht zu der Stromflussrichtung. Insbesondere ist die Länge des Zwischenbereichs 20 in Richtung des Stromflusses zwischen dem p-Bereich 16 und dem n-Bereich 18 von der Dicke des Zwischenbereichs 20, d. h. von der Abmessung des Zwischenbereichs 20 10 senkrecht zu der ersten Oberfläche 12 des Substrats 14, unabhängig. Die Länge des Zwischenbereichs 20 entspricht dem Abstand zwischen dem p-Bereich 16 und dem n-Bereich 18, deren laterale Anordnung zwischen der ersten isolierenden Oxidschicht 22 und der zweiten isolierenden Oxidschicht 24 im wesentlichen frei wählbar ist und nur durch die lateralen Abmessungen des Substrats 14 bzw. durch anwendungsspezifische Größenanforderungen an die PIN-Diode 10 beschränkt ist. Alternativ kann auf die zweite isolierende Schicht 24 auch verzichtet werden.

20

Abweichend von dem in den Fig. 1a und 1b dargestellten Ausführungsbeispiel der erfindungsgemäßen PIN-Diode 10 sind zahlreiche Varianten und Modifikationen möglich. Es ist eine wichtige Eigenschaft der vorliegenden Erfindung, dass sie 25 völlig neue Freiheitsgrade bei der Gestaltung des Zwischenbereichs 20 ermöglicht. Die Fig. 2 bis 9b stellen weitere Ausführungsbeispiele der PIN-Diode 10 gemäß der vorliegenden Erfindung dar.

30 Fig. 2 zeigt eine schematische Darstellung eines Ausführungsbeispiels der PIN-Diode 10 gemäß der vorliegenden Erfindung in einem horizontalen Schnitt. Der Zwischenbereich 20 weist bei diesem Ausführungsbeispiel in lateraler Richtung erneut die Form eines Rechtecks auf, das von dem Graben 34 begrenzt wird. Im Gegensatz zu dem in Fig. 1 dargestellten Ausführungsbeispiel ist der Zwischenbereich 20 jedoch in lateraler Richtung quer zur Stromrichtung breiter. Der n-Bereich 18 er-

streckt sich über die gesamte Breite einer Seite des Zwischenbereichs 20. Der an der gegenüberliegenden Seite des Zwischenbereichs 20 angeordnete p-Bereich 16 erstreckt sich im Gegensatz dazu in lateraler Richtung nur über einen Teil 5 der Seite, wobei der p-Bereich 16 gegenüber dem durch den Graben 34 definierten Rand des Zwischenbereichs 20 in lateraler Richtung vorspringt. In allen weiteren Merkmalen entspricht das in Fig. 2 dargestellte Ausführungsbeispiel dem in den Fig. 1a und 1b dargestellten ersten Ausführungsbeispiel.

10

Fig. 3 zeigt eine schematische Darstellung einer PIN-Diode 10 gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem in Fig. 2 dargestellten Ausführungsbeispiel dadurch, dass 15 der p-Bereich 16 und der n-Bereich 18 vertauscht sind, d. h. dass nun der p-Bereich 16 in lateraler Richtung die gesamte Breite des durch den Zwischenbereich 20 gebildeten Rechtecks einnimmt und der n-Bereich 18 nur einen Teil der Breite der gegenüberliegenden Seite des Rechtecks einnimmt und gegenüber 20 dem durch den Graben 34 definierten Rand des Zwischenbereichs an dieser Seite vorspringt. In allen weiteren Merkmalen stimmt das in Fig. 3 gezeigte Ausführungsbeispiel mit den ersten beiden Ausführungsbeispielen überein.

25

Die Fig. 4a und 4b zeigen schematische Darstellungen eines weiteren Ausführungsbeispiels einer PIN-Diode 10 gemäß der vorliegenden Erfindung. Wie es in Fig. 4b zu erkennen ist, weist der Zwischenbereich 20 in lateraler Richtung die Form eines Trapezes auf, wobei der p-Bereich 16 und der n-Bereich 30 18 an den beiden gegenüberliegenden parallelen Seiten des Trapezes angeordnet sind. Sowohl der p-Bereich 16 als auch der n-Bereich 18 erstrecken sich über die gesamte Breite der jeweiligen Seite. In dem in Fig. 4a gezeigten vertikalen Schnitt und in allen weiteren Merkmalen stimmt das Ausführungsbeispiel mit den vorhergehenden Ausführungsbeispielen überein.

35

Die Fig. 5a und 5b zeigen schematisch ein weiteres Ausführungsbeispiel der PIN-Diode 10 gemäß der vorliegenden Erfindung im vertikalen Schnitt bzw. im horizontalen Schnitt. Das Ausführungsbeispiel unterscheidet sich vom vorangehenden Ausführungsbeispiel nur dadurch, dass der p-Bereich 16 und der n-Bereich 18 vertauscht sind, so dass der p-Bereich 16 an der langen parallelen Seite des Trapezes angeordnet ist und der n-Bereich 18 an der kurzen Seite des Trapezes angeordnet ist. In allen weiteren Merkmalen stimmt das Ausführungsbeispiel mit den vorangehenden, in den Fig. 4a und 4b gezeigten Ausführungsbeispiel überein.

Die Fig. 6a und 6b zeigen schematisch ein weiteres Ausführungsbeispiel der PIN-Diode 10 gemäß der vorliegenden Erfindung im vertikalen Schnitt bzw. im horizontalen Schnitt. Der Zwischenbereich 20 weist in lateraler Richtung die Form eines Rechtecks auf. Der p-Bereich 16 ist an einer Seite des Rechtecks angeordnet und erstreckt sich in lateraler Richtung über ihre gesamte Breite. An der gegenüberliegenden Seite des Rechtecks ist ein weiterer p-Bereich 116 angeordnet, der sich über die gesamte Breite dieser Seite erstreckt. Wie in den vorangehenden Ausführungsbeispielen ist an der von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 das erste elektrisch leitfähige Bauglied 26 angeordnet, das über die gesamte Fläche der von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 mit diesem in Kontakt steht. An dem an der zweiten isolierenden Oxidschicht 24 angrenzenden Ende des ersten elektrisch leitfähigen Bauglieds 26 ist die erste Anschlussfläche 30 gebildet. Entsprechend ist an der von dem Zwischenbereich 20 abgewandten Seite des weiteren p-Bereichs 116 ein drittes elektrisch leitfähiges Bauglied angeordnet, das sich, wie das erste elektrisch leitfähige Bauglied 26, in lateraler Richtung über die gesamte Breite des weiteren p-Bereichs 116 und in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit dem weiteren p-Bereich 116 in elektrischem Kontakt steht. An dem zu der zweiten isolieren-

den Oxidschicht 24 benachbarten Ende des dritten elektrisch leitfähigen Bauglieds 126 ist eine dritte Anschlussfläche 130 ausgebildet. Der n-Bereich 18 ist in lateraler Richtung im wesentlichen in der Mitte des Zwischenbereichs so angeordnet, 5 dass er vollständig von dem Zwischenbereich 20 umgeben ist, nicht an den den Zwischenbereich 20 begrenzenden Gräben 34 angrenzt und von dem p-Bereich 16 und dem weiteren p-Bereich 116 im wesentlichen gleich weit beabstandet ist. Der n-Bereich 18 weist in lateraler Richtung vorzugsweise die Form 10 eines Rechtecks auf, wobei das zweite elektrisch leitfähige Bauglied 28 im wesentlichen in der Mitte des n-Bereichs 18 angeordnet ist. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende des zweiten elektrisch leitfähigen Bauglieds 28 ist die zweite Anschlussfläche 32 ausgebildet. Die PIN-Diode 10 des vorliegenden Ausführungsbeispiels 15 ist wie die PIN-Dioden der vorangehenden Ausführungsbeispiele zwischen einer ersten isolierenden Oxidschicht 22 und einer zweiten isolierenden Oxidschicht 24 an einer ersten Oberfläche 12 des Substrats 14 angeordnet. Der p-Bereich 16, der n-Bereich 18, der Zwischenbereich 20, der weitere p-Bereich 20 116, das erste elektrisch leitfähige Bauglied 26, das zweite elektrisch leitfähige Bauglied 28 und das dritte elektrisch leitfähige Bauglied 126 sind in lateraler Richtung von einem mit einem isolierenden Material gefüllten Graben 34 umgeben, 25 der sie von lateral benachbarten Bereichen, Halbleiterstrukturen oder Bauelementen an der ersten Oberfläche 12 des Substrats 14 isoliert.

Die Fig. 7a und 7b zeigen schematisch ein weiteres Ausführungsbeispiel der PIN-Diode 10 gemäß der vorliegenden Erfindung im vertikalen Schnitt bzw. im horizontalen Schnitt. Das Ausführungsbeispiel unterscheidet sich von dem in den Fig. 6a und 6b dargestellten Ausführungsbeispiel dadurch, dass der p-Bereich 16 und der n-Bereich 18 vertauscht sind, d. h. der p-Bereich 16 ist im wesentlichen in der Mitte des Zwischenbereichs 30 20 angeordnet und der n-Bereich 18 ist an einer Seite des in lateraler Richtung rechteckförmigen Zwischenbereichs 35

20 angeordnet und erstreckt sich über die gesamte Breite dieser Seite. Ferner unterscheidet sich das Ausführungsbeispiel dadurch, dass anstelle eines weiteren p-Bereichs 116 ein weiterer n-Bereich 218 an der dem n-Bereich 18 gegenüberliegenden Seite des Zwischenbereichs 20 angeordnet ist. An der von dem Zwischenbereich 20 abgewandten Seite des weiteren n-Bereichs 218 ist ein drittes elektrisch leitfähiges Bauglied 228 angeordnet, das sich in lateraler Richtung über die gesamte Breite des weiteren n-Bereichs 218 und in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit dem weiteren n-Bereich 218 in elektrischem Kontakt steht. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende des dritten elektrisch leitfähigen Bauglieds 228 ist eine dritte Anschlussfläche 232 ausgebildet. In allen weiteren Merkmalen stimmt das Ausführungsbeispiel mit dem in den Fig. 6a und 6b gezeigten Ausführungsbeispiel entsprechend überein.

Die Fig. 8a und 8b zeigen schematisch ein weiteres Ausführungsbeispiel der erfindungsgemäßen PIN-Diode 10 im vertikalen Schnitt bzw. horizontalen Schnitt. Bei diesem Ausführungsbeispiel weist der Zwischenbereich 20 in lateraler Richtung im wesentlichen die Form eines Kreises auf. Der p-Bereich 16 ist in der Form eines geschlossenen Kreisrings um den Zwischenbereich 20 angeordnet und erstreckt sich, wie in den vorangehenden Ausführungsbeispielen, in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22. An der von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 ist ein erstes elektrisch leitfähiges Bauglied 26 angeordnet, das sich in lateraler Richtung entlang des gesamten äußeren Umfangs des p-Bereichs 16 und in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit dem p-Bereich in Kontakt steht. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende des ersten elektrisch leitfähigen Bauglieds 26 ist eine erste Anschlussfläche 30 gebildet. In lateraler Richtung

im wesentlichen in der Mitte des Zwischenbereichs 20 ist ein in seiner lateralen Ausdehnung im wesentlichen kreisförmiger n-Bereich 18 angeordnet, der sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt. In der Mitte des n-Bereichs 18 ist ein zweites elektrisch leitfähiges Bauglied 28 angeordnet, das sich in vertikaler Richtung ebenfalls von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und an seinem ganzen Umfang und in seiner ganzen Höhe mit dem n-Bereich 18 in Kontakt steht. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende des zweiten elektrisch leitfähigen Bauglieds 28 ist eine zweite Anschlussfläche 32 ausgebildet. Das erste elektrisch leitfähige Bauglied 26 ist entlang seines gesamten Umfangs von einem kreisförmigen Graben 34 umgeben, der sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit einem isolierenden Material gefüllt ist. Die PIN-Diode 10 gemäß dem vorliegenden Ausführungsbeispiel ist somit ebenso wie die PIN-Dioden gemäß den vorangehenden Ausführungsbeispielen abgesehen von den Anschlussflächen 30, 32 durch die isolierenden Oxidschichten 22, 24 und dem mit einem isolierenden Material gefüllten Graben 34 durch isolierende Schichten vollständig gekapselt.

25

Die Fig. 9a und 9b zeigen schematisch ein weiteres Ausführungsbeispiel der PIN-Diode 10 gemäß der vorliegenden Erfindung. Dieses Ausführungsbeispiel unterscheidet sich von dem vorangehenden, in den Fig. 8a und 8b dargestellten Ausführungsbeispiel dadurch, dass der p-Bereich 16 und der n-Bereich 18 vertauscht sind. Der n-Bereich 18 ist in lateraler Richtung am äußeren Rand des im wesentlichen kreisförmigen Zwischenbereichs 20 angeordnet und grenzt entlang des gesamten Umfangs des Zwischenbereichs 20 und über seine gesamte vertikale Ausdehnung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 an diesen unmittelbar an. An der von dem Zwischenbereich 20 abgewandten

Seite des n-Bereichs 18 ist das zweite elektrisch leitfähige Bauglied 28 angeordnet, das sich in lateraler Richtung kreisförmig entlang des gesamten äußeren Umfangs des n-Bereichs 18 und in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit dem n-Bereich 18 in Kontakt steht. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende des zweiten elektrisch leitfähigen Bauglieds 28 ist die zweite Anschlussfläche 32 ausgebildet. In lateraler Richtung im wesentlichen in der Mitte des Zwischenbereichs 20 ist der p-Bereich 16 angeordnet, der sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt. Im wesentlichen in der Mitte des ringförmigen p-Bereichs 16 ist das erste elektrisch leitfähige Bauglied 26 angeordnet, das sich von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und über seine gesamte Höhe und seinen gesamten Umfang mit dem p-Bereich 16 in Kontakt steht. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende des ersten elektrisch leitfähigen Bauglieds 26 ist die erste Anschlussfläche 30 ausgebildet. In allen weiteren Merkmalen entspricht das vorliegende Ausführungsbeispiel dem in den Fig. 8a und 8b dargestellten Ausführungsbeispiel.

Die in den Fig. 2a bis 9b dargestellten Ausführungsbeispiele unterscheiden sich von dem ersten Ausführungsbeispiel der PIN-Diode 10 gemäß der vorliegenden Erfindung nur in der lateralen Gestalt und Anordnung der einzelnen Bauglieder. Die vertikale Struktur ist bei allen Ausführungsbeispielen gleich. Auf der Oberfläche 12 des Substrats 14 sind zwischen der ersten isolierenden Oxidschicht 22 und der zweiten isolierenden Oxidschicht 24 der p-Bereich 16, der n-Bereich 18, der Zwischenbereich 20, das erste elektrisch leitfähige Bauglied 26 und das zweite elektrisch leitfähige Bauglied 28 angeordnet. Der p-Bereich 16, der n-Bereich 18, der Zwischenbereich 20, das erste elektrisch leitfähige Bauglied 26 und das zweite elektrisch leitfähige Bauglied 28 erstrecken sich in

vertikaler Richtung, d. h. in der Richtung senkrecht zu der Oberfläche 12 des Substrats 14 von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22. Der p-Bereich 16 und der Zwischenbereich 20 bzw. der Zwischenbereich 20 und der n-Bereich 18 grenzen jeweils großflächig und insbesondere in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 unmittelbar aneinander an. Ferner grenzen der p-Bereich 16 und das erste elektrisch leitfähige Bauglied 26 bzw. der n-Bereich 18 und das zweite elektrisch leitfähige Bauglied 28 jeweils großflächig, d. h. insbesondere in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 unmittelbar aneinander an und bilden einen großflächigen Kontakt bzw. einen großflächigen elektrischen Übergang zwischen dem p-Bereich 16 und dem ersten elektrisch leitfähigen Bauglied 26 bzw. dem n-Bereich 18 und dem zweiten elektrisch leitfähigen Bauglied 28. An dem zu der zweiten isolierenden Oxidschicht 24 benachbarten Ende bzw. der zu der zweiten isolierenden Oxidschicht 24 benachbarten Oberkante des ersten elektrisch leitfähigen Bauglieds 26 und des zweiten elektrisch leitfähigen Bauglieds 28 sind jeweils eine erste Anschlussfläche 30 bzw. eine zweite Anschlussfläche 32 ausgebildet. In lateraler Richtung sind der p-Bereich 16, der n-Bereich 18, der Zwischenbereich 20, das erste elektrisch leitfähige Bauglied 26 und das zweite elektrisch leitfähige Bauglied 28 in jedem Ausführungsbeispiel gemeinsam von einem Graben 34 vollständig umgeben, der sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit isolierendem Material, beispielsweise mit einem Oxid, gefüllt ist. Der p-Bereich 16, der n-Bereich 18, der Zwischenbereich 20, das erste elektrisch leitfähige Bauglied 26 und das zweite elektrisch leitfähige Bauglied 28 sind somit, abgesehen von den Anschlussflächen 30, 32, jeweils durch die erste isolierende Oxidschicht 22, die zweite isolierende Oxidschicht 24 und den mit dem isolierenden Mate-

rial gefüllten Graben 34 vollständig gekapselt und gegenüber der Umwelt elektrisch isoliert.

Die oben beschriebenen und in den Fig. 1a bis 9b dargestellten Ausführungsbeispiele der PIN-Diode 10 gemäß der vorliegenden Erfindung unterscheiden sich im wesentlichen durch die laterale Anordnung der einzelnen Bauglieder. Bei allen Ausführungsbeispielen können der p-Bereich 16 (116), der n-Bereich 18 (218) und der Zwischenbereich 20 aus Si, GaAs oder einem anderen geeigneten Halbleitermaterial bestehen, das im p-Bereich 16 (116) bzw. im n-Bereich 18 (218) durch geeignete p-Dotierung bzw. n-Dotierung p-leitfähig bzw. n-leitfähig ist.

Bei allen oben dargestellten Ausführungsbeispielen erstrecken sich der p-Bereich 16, der n-Bereich 18 und die elektrisch leitfähigen Bauglieder 26, 28 in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22. Abweichend von den Ausführungsbeispielen können die Erstreckungen derselben in vertikaler Richtung jedoch auch geringer sein, insbesondere können sie sich beispielsweise von der zweiten isolierenden Oxidschicht 24 in Richtung zur ersten isolierenden Oxidschicht 22, aber nicht ganz bis zu derselben erstrecken. Vor allem, wenn die PIN-Diode 10 in lateraler Richtung eine große Ausdehnung und in vertikaler Richtung eine wesentlich geringere Ausdehnung aufweist, wird eine nicht vollständige Erstreckung des p-Bereichs 16 (116) und/oder des n-Bereichs 18 (218) über die gesamte vertikale Ausdehnung des Zwischenbereichs 20 einen geringen und unter Umständen vernachlässigbaren Einfluss auf die elektrischen Eigenschaften der PIN-Diode 10 haben.

Alle oben dargestellten Ausführungsbeispiele weisen elektrisch leitfähige Bauglieder 26, 28 auf, welche sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht 24 bis zu der ersten isolierenden Oxidschicht 22 erstrecken und auch aufgrund ihrer lateralen Ausdehnung einen großflächigen

elektrischen Kontakt zu dem p-Bereich 16 bzw. dem n-Bereich 18 bilden. Die elektrisch leitfähigen Bauglieder 26, 28 dienen in dieser Anordnung dazu, auch bei Stromfluss durch die PIN-Diode 10, der in den nicht ideal leitenden p-Bereich 16 und n-Bereich 18 einen Spannungsabfall zur Folge hat, einen Spannungsabfall in vertikaler Richtung bzw. in horizontaler Richtung quer zur Hauptstromrichtung in der PIN-Diode 10 zu vermeiden und somit eine über den Querschnitt des Zwischenbereichs 20 homogene Stromverteilung zu gewährleisten. Abhängig von der Anwendung, den jeweiligen Anforderungen und der gewählten Geometrie der PIN-Diode 10 kann das erste elektrisch leitfähige Bauglied 26 und/oder das zweite elektrisch leitfähige Bauglied 28 auch kleiner ausgeführt oder weggelassen werden. Die elektrisch leitfähigen Bauglieder 26, 28 können aus Wolfram, Metall-Silizid oder ein anderes geeignetes, ausreichend leitfähiges Material aufweisen.

Alle oben dargestellten Ausführungsbeispiele der PIN-Diode 10 weisen einen Graben 34 auf, der die einzelnen Bauglieder der PIN-Diode 10 in lateraler Richtung vollständig umgibt, sich in vertikaler Richtung von der zweiten isolierenden Oxidschicht bis zu der ersten isolierenden Oxidschicht 22 erstreckt und mit einem isolierenden Material gefüllt ist. Der Graben 34 dient im wesentlichen dazu, die PIN-Diode 10 gegenüber benachbarten Bauelementen oder Halbleiterstrukturen auf der ersten Oberfläche 12 des Substrats 14 zu isolieren. Abhängig von der Anwendung der PIN-Diode 10, abhängig davon, ob auf dem Substrat 14 weitere Bauelemente oder Halbleiterstrukturen angeordnet sind und von welcher Art diese sind, kann der Graben 34 auch weggelassen oder anders ausgeführt werden. Zum Beispiel ist es möglich, den Graben 34 nicht mit einem isolierenden Material zu füllen, sondern nur seine zu den Baugliedern der PIN-Diode 10 gerichtete Oberfläche mit einer isolierenden Oxidschicht zu versehen. Ferner kann der Graben 34 beispielsweise in lateraler Richtung nur an den Orten ausgeführt sein, an denen andere Bauelemente oder Halbleiterstrukturen zu der PIN-Diode 10 benachbart sind,

und an den Orten weggelassen werden, an denen die PIN-Diode 10 an einen Rand des Substrats 14 angrenzt.

In allen oben dargestellten Ausführungsbeispielen weisen die 5 elektrisch leitfähigen Bauglieder 26, 28 an ihren zu der zweiten isolierenden Oxidschicht 24 benachbarten Enden bzw. Kanten Anschlussflächen 30, 32 (130, 232) auf, über die die PIN-Diode 10 bzw. der p-Bereich 16 (116) und der n-Bereich 18 (218) elektrisch kontaktiert bzw. mit anderen Bauelementen 10 verbunden werden können. Die Anschlussflächen 30, 32 können, wie es in den Fig. 1b, 4b, 5b, 6b, 7b, 8b und 9b angedeutet ist, in ihrer lateralen Ausdehnung im wesentlichen der lateralen Ausdehnung der elektrisch leitfähigen Bauglieder 26, 28 folgen oder auch eine davon abweichende, für die jeweilige 15 Anwendung der PIN-Diode 10 geeignete laterale Ausdehnung aufweisen. Die Anschlussflächen 30, 32 (130, 232) können, wenn das jeweils entsprechende elektrisch leitfähige Bauglied 26, 28 (126, 228) nicht ausgeführt ist, direkt an dem p-Bereich 16 (116) bzw. dem n-Bereich 18 (218) angeordnet und mit ihm 20 elektrisch verbunden sein. Ferner kann beispielsweise auf eine Anschlussfläche verzichtet werden, wenn ein p-Bereich 16 (116) oder ein n-Bereich 18 (218) über das jeweilige elektrisch leitfähige Bauglied 26, 28 (126, 228) oder direkt mit einem weiteren Bauelement bzw. einer weiteren Halbleiter- 25 struktur auf der Oberfläche 12 des Substrats 14 verbunden ist. Die Anschlussflächen 30, 32 (130, 232) können ein beliebiges geeignetes Material aufweisen.

Bei allen oben dargestellten Ausführungsbeispielen ist die 30 PIN-Diode 10 in vertikaler Richtung durch die erste isolierende Oxidschicht 22 und die zweite isolierende Oxidschicht 24 eingeschlossen. Diese qualitativ hochwertig ausführbaren passivierenden Oxidgrenzflächen weisen verschiedene Vorteile, insbesondere eine geringe Rekombinationsrate, auf. Abhängig 35 von der Anwendung der PIN-Diode 10, den daraus folgenden Anforderungen an die PIN-Diode 10 und von ihrer Geometrie können die isolierenden Oxidschichten 22, 24 jedoch auch teil-

weise oder ganz weggelassen oder durch andere isolierende Schichten ersetzt werden.

Ein erfindungsgemäßes Verfahren zur Herstellung einer lateralen PIN-Diode geht vorzugsweise von dem Substrat 14 und einem Bauelementsubstrat aus, die durch Waferbonden entlang der ersten Oberfläche 12 des Substrats 14 miteinander verbunden werden. Dabei entsteht die erste isolierende Oxidschicht 22. Anschließend wird das Bauelementsubstrat an seiner von der ersten Oberfläche 12 des Substrats 14 abgewandten Oberfläche erforderlichenfalls gedünnt, so dass es die Dicke bzw. die vertikale Abmessung des späteren Zwischenbereichs 20 aufweist. In dem Bauelementsubstrat wird ein p-Bereich 16 gebildet, in dem ein Graben mit der erwünschten lateralen und vertikalen Ausdehnung des späteren p-Bereichs 16 in dem Bauelementsubstrat gebildet und mit p-dotiertem Polysilizium gefüllt wird. Ferner wird ein n-Bereich 18 in dem Bauelementsubstrat gebildet, in dem ein Graben mit der erwünschten lateralen und vertikalen Ausdehnung des späteren n-Bereichs 18 in dem Bauelementsubstrat gebildet und mit n-dotiertem Polysilizium gefüllt wird. Der p-Bereich 16 und der n-Bereich 18 werden beabstandet voneinander gebildet. Zwischen dem p-Bereich 16 und dem n-Bereich 18 wird ein Zwischenbereich 20 in dem Bauelementsubstrat gebildet, wobei eine Dotierungskonzentration des Zwischenbereichs 20 niedriger ist als eine Dotierungskonzentration des p-Bereichs 16 und niedriger ist als eine Dotierungskonzentration des n-Bereichs 18. Vorzugsweise weist das Bauelementsubstrat ein Halbleitermaterial auf, welches das Halbleitermaterial des Zwischenbereichs 20 bildet.

In einem an den Zwischenbereich 20 angrenzenden Abschnitt des Bauelementsubstrats wird ein Graben 34 gebildet, der sich ausgehend von einer von der ersten Oberfläche 12 des Substrats 14 abgewandten Oberfläche des Bauelementsubstrats ausgehend bis zu der ersten isolierenden Oxidschicht erstreckt, und der vorzugsweise direkt an den Zwischenbereich 20 angrenzt. Der Graben 34 wird mit einem isolierenden Material gefüllt. Der Graben 34 wird ferner in an den p-Bereich 16 und

an den n-Bereich 18 angrenzenden Abschnitten des Bauelementsubstrats gebildet, so dass er den p-Bereich 16, den n-Bereich 18 und den Zwischenbereich 20 lateral vollständig umschließt und von lateral benachbarten Bauelementen oder Halbleiterstrukturen in dem Bauelementsubstrat trennt und isoliert. Ferner werden ein erstes elektrisch leitfähiges Bauglied 26 und ein zweites elektrisch leitfähiges Bauglied 28 gebildet, welche an eine von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 bzw. des n-Bereichs 18 angrenzt.

Die elektrisch leitfähigen Bauglieder 26, 28 erstrecken sich jeweils in vertikaler Richtung von der von der ersten Oberfläche 12 des Substrats 14 abgewandten Oberfläche des Bauelementsubstrats bis zu der ersten isolierenden Oxidschicht 22 und in lateraler Richtung entlang der gesamten von dem Zwischenbereich 20 abgewandten Seite des p-Bereichs 16 bzw. des n-Bereichs 18. Die elektrisch leitfähigen Bauglieder 26, 28 bilden so großflächige elektrische Kontakte mit dem p-Bereich 16 bzw. dem n-Bereich 18. Die elektrisch leitfähigen Bauglieder 26, 28 werden gebildet, in den beschriebenen Bereichen in dem Bauelementsubstratgräben mit der erwünschten Ausdehnung des jeweiligen späteren elektrisch leitfähigen Bauglieds 26, 28 und mit einem ausreichend leitfähigen Material, beispielsweise Wolfram oder Metall-Silizid, gefüllt werden. An den von der ersten Oberfläche 12 des Substrats 14 abgewandten Oberfläche der elektrisch leitfähigen Bauglieder 26, 28 wird eine erste Anschlussfläche 30 bzw. eine zweite Anschlussfläche 32 gebildet, welche später zur elektrischen Verbindung der PIN-Diode 10 bzw. des p-Bereichs 16 und des n-Bereichs 18 mit anderen elektrischen Einrichtungen oder Bauelementen dienen.

Ferner wird über den von der ersten Oberfläche 12 des Substrats 14 abgewandten Oberflächen des p-Bereichs 16, des n-Bereichs 18 und des Zwischenbereichs 20 eine zweite isolierende Oxidschicht gebildet, welche nur die erste Anschlussfläche 30 und die zweite Anschlussfläche 32 nicht bedeckt.

35

Der p-Bereich 16 bzw. der n-Bereich 18 kann abweichend von dem letzten Ausführungsbeispiel durch Implantieren von p-

Material bzw. n-Material in den erwünschten vorbestimmten Bereich des späteren p-Bereichs 16 bzw. des n-Bereichs 18 in dem Bauelementsubstrat gebildet werden. Der p-Bereich 16 bzw. der n-Bereich 18 kann jedoch auch durch Bilden eines Grabens

5 in dem Bauelementsubstrat in einem vorbestimmten Bereich, der an den erwünschten Bereich des späteren p-Bereichs 16 bzw. n-Bereichs 18 angrenzt, Einbringen von p-Material bzw. n-Material in den Graben und Eindiffundieren des eingebrachten Materials in die den Graben umgebenden Bereiche des Bauelementsubstrats gebildet werden.

10

Ferner abweichend von dem beschriebenen Ausführungsbeispiel des erfindungsgemäßen Verfahrens zur Herstellung einer PIN-Diode kann die erste isolierende Oxidschicht 22 oder an ihrer Stelle eine andere geeignete isolierende Schicht statt durch Waferbonden durch ein anderes geeignetes Verfahren hergestellt werden. Beispielsweise kann auf ein Substrat zunächst eine isolierende Schicht und dann eine Schicht aus einem niedrig dotierten Halbleitermaterial, das sich als Material für den Zwischenbereich einer PIN-Diode eignet, aufgewachsen werden. In dieser niedrig dotierten Halbleiterschicht werden dann, beispielsweise durch die oben beschriebenen Verfahrensschritte, ein p-Bereich und ein n-Bereich gebildet, die voneinander beabstandet sind. Dadurch wird automatisch der Zwischenbereich gebildet. In weiteren Verfahrensschritten können dann, wie oben beschrieben, ein Graben gebildet werden, welcher den p-Bereich, den n-Bereich und den Zwischenbereich in lateraler Richtung vollständig umgibt, Anschlussflächen für den p-Bereich und den n-Bereich, elektrisch leitfähige Bauglieder für den p-Bereich und den n-Bereich und eine weitere isolierende Schicht an der von dem Substrat abgewandten Oberfläche des Zwischenbereichs, des p-Bereichs und des n-Bereichs gebildet werden.

25

30

35 Nachdem durch eines der beschriebenen Verfahren die PIN-Diode
10 gemäß der vorliegenden Erfindung gebildet ist, kann, wenn

es erwünscht ist, das Substrat 14 beispielsweise durch Ätzen entfernt werden.

Durch die beschriebenen Verfahren sind alle oben anhand der
5 Fig. 1a bis 9a dargestellten erfindungsgemäßen PIN-Dioden 10
herstellbar.

Ferner kann ein Rückseitenkontakt zu dem p-Bereich 16 bzw.
dem n-Bereich 18 hergestellt werden, indem vor oder bei der
10 Herstellung des p-Bereichs 16 bzw. des n-Bereichs 18 ein an
den p-Bereich 16 bzw. n-Bereich 18 angrenzender Bereich der
ersten isolierenden Oxidschicht 22 entfernt wird.

Patentansprüche

1. Verfahren zur Herstellung einer PIN-Diode (10) mit folgenden Schritten:

5

Bilden eines p-Bereichs (16) auf einer ersten Oberfläche (12) eines Substrats (14);

10 10 Bilden eines n-Bereichs (18) auf der ersten Oberfläche (12) des Substrats (14) beabstandet von dem p-Bereich (16);

15 Bilden eines Zwischenbereichs (20) auf der ersten Oberfläche (12) des Substrats (14) zwischen dem p-Bereich (16) und dem n-Bereich (18), wobei eine Dotierungskonzentration des Zwischenbereichs (20) niedriger ist als eine Dotierungskonzentration des p-Bereichs (16) und niedriger ist als eine Dotierungskonzentration des n-Bereichs (18).

20 20 2. Verfahren gemäß Anspruch 1 mit folgenden Schritten:

Bereitstellen des Substrats (14) und eines Bauelementsubstrats; und

25 25 Waferbonden von Substrat (14) und Bauelementsubstrat,

wobei der p-Bereich (16), der n-Bereich (18) und der Zwischenbereich (20) in dem Bauelementsubstrat gebildet werden und von dem Substrat (14) isoliert sind.

30

3. Verfahren gemäß Anspruch 2 mit folgenden Schritten:

35 Bilden eines Grabens (34) in einem an den Zwischenbereich (20) angrenzenden Abschnitt des Bauelementsubstrats, wobei sich der Graben (34) ausgehend von einer Oberfläche des Bauelementsubstrats, die dem Substrat (14) abgewandt ist, bis zu

einer Oberfläche des Bauelementsubstrats, die dem Substrat (14) gegenüber liegt, erstreckt; und

Füllen des Grabens (34) mit einem isolierenden Material.

5

4. Verfahren gemäß Anspruch 3, bei dem der Graben (34) ferner in an den p-Bereich (16) und an den n-Bereich (18) angrenzenden Abschnitten des Bauelementsubstrats gebildet wird.

10 5. Verfahren gemäß einem der Ansprüche 2 bis 4, bei dem der p-Bereich (16) bzw. der n-Bereich (18) durch

Bilden eines Grabens in dem Bauelementsubstrat und Füllen desselben mit p-dotiertem bzw. n-dotiertem Polysilizium, oder
15 durch

Implantieren von p-Material bzw. n-Material in vorbestimmte Bereiche des Bauelementsubstrats, oder durch

20 Bilden eines Grabens in dem Bauelementsubstrat, Einbringen von p-Material bzw. n-Material in denselben und Eindiffundieren des eingebrachten Materials in die den Graben umgebenden Bereiche des Bauelementsubstrats gebildet wird.

25 6. Verfahren gemäß einem der Ansprüche 1 bis 5, ferner mit folgendem Schritt:

Bilden einer isolierenden Schicht (24) über dem von der ersten Oberfläche des Substrats abgewandten Oberfläche des p-
30 Bereichs (16), des n-Bereichs (18) und des Zwischenbereichs (20).

7. Verfahren gemäß einem der Ansprüche 1 bis 5, ferner mit folgendem Schritt:

35

Bilden von Anschlussflächen (30, 32) auf den von der ersten Oberfläche des Substrats (14) abgewandten Oberflächen des p-Bereichs (16) und des n-Bereichs (18).

5 8. PIN-Diode (10) mit folgenden Merkmalen:

einem p-Bereich (16) auf einer ersten Oberfläche (12) eines Substrats (14);

10 einem n-Bereich (18) auf der ersten Oberfläche (12) des Substrats (14);

15 einem Zwischenbereich (20) auf der ersten Oberfläche (12) des Substrats (14) zwischen dem p-Bereich (16) und dem n-Bereich (18), wobei eine Dotierungskonzentration des Zwischenbereichs (20) niedriger ist als eine Dotierungskonzentration des p-Bereichs (16) und niedriger ist als eine Dotierungskonzentration des n-Bereichs (18).

20 9. PIN-Diode (10) gemäß Anspruch 8 mit einer isolierenden Schicht (22) auf dem Substrat (14) und einem Bauelementsubstrat auf der isolierenden Schicht (22), wobei der p-Bereich (16), der n-Bereich (18) und der Zwischenbereich (20) in dem Bauelementsubstrat angeordnet sind.

25

10. PIN-Diode (10) gemäß Anspruch 8 oder 9 mit folgendem Merkmal:

30 einem Graben (34) in einem an den Zwischenbereich (20) an- grenzenden Abschnitt des Bauelementsubstrats, wobei sich der Graben (34) ausgehend von einer Oberfläche des Bauelementsubstrats, die dem Substrat (14) abgewandt ist, bis zu einer Oberfläche des Bauelementsubstrats, die dem Substrat (14) gegenüber liegt, erstreckt, und wobei der Graben (34) mit einem isolierenden Material gefüllt ist.

11. PIN-Diode (10) gemäß Anspruch 10, bei der der Graben (34) in an den p-Bereich (16) und an den n-Bereich (18) angrenzenden Abschnitten des Bauelementsubstrats angeordnet ist.
- 5 12. PIN-Diode (10) gemäß Anspruch 11, bei der eine durch den Graben (34) festgelegte Form des Zwischenbereichs (20) im wesentlichen rechteckförmig ist, wobei der p-Bereich (16) und der n-Bereich (18) an zwei gegenüberliegenden Seiten des Zwischenbereichs (20) angeordnet sind.
10
13. PIN-Diode (10) gemäß Anspruch 11, bei der eine durch den Graben (34) festgelegte Form des Zwischenbereichs (20) im wesentlichen rechteckförmig ist und ferner ein weiterer n-Bereich (218) oder ein weiterer p-Bereich (116) vorgesehen
15 ist, wobei der n-Bereich (18) und der weitere n-Bereich (218) bzw. der p-Bereich (16) und der weitere p-Bereich (116) an gegenüberliegenden Seiten des Zwischenbereichs (20) angeordnet sind und der p-Bereich (16) bzw. der n-Bereich (18) zwischen dem n-Bereich (18) und dem weiteren n-Bereich (218)
20 bzw. zwischen dem p-Bereich (16) und dem weiteren p-Bereich (116) und von diesen beabstandet in dem Zwischenbereich (20) angeordnet ist.
14. PIN-Diode (10) gemäß Anspruch 12 oder 13, bei der sich
25 mindestens entweder der p-Bereich (16) oder der n-Bereich (18) über eine ganze Breite des Zwischenbereichs (20) erstreckt.
15. PIN-Diode (10) gemäß Anspruch 11, bei der eine durch den
30 Graben (34) festgelegte Form des Zwischenbereichs (20) im wesentlichen trapezförmig ist, wobei der p-Bereich (16) sich entlang einer der parallelen Seiten des Zwischenbereichs (20) erstreckt, und wobei der n-Bereich (18) sich entlang der anderen der parallelen Seiten des Zwischenbereichs (20) erstreckt.
35

16. PIN-Diode (10) gemäß Anspruch 11, bei der eine durch den Graben (34) festgelegte Form des Zwischenbereichs (20) im wesentlichen kreisförmig ist, wobei entweder der p-Bereich (16) oder der n-Bereich (18) entlang des Rands des Zwischenbereichs (20) kreisförmig angeordnet ist, wobei der n-Bereich (18) bzw. der p-Bereich (16) im wesentlichen in der Mitte des Zwischenbereichs (20) angeordnet ist.

5

17. PIN-Diode (10) gemäß einem der Ansprüche 8 bis 11, ferner mit folgendem Merkmal:

10 einer weiteren Isolierschicht (24), die die von dem Substrat (14) abgewandten Oberflächen des p-Bereichs (16), des n-Bereichs (18) und des Zwischenbereichs (20) bedeckt.

15

18. PIN-Diode (10) gemäß einem der Ansprüche 8 bis 17, bei der eine erste Anschlussfläche (30) mit dem p-Bereich (16) und eine zweite Anschlussfläche (32) mit dem n-Bereich (18) leitfähig verbunden sind, wobei die beiden Anschlussflächen (30, 32) an den von der ersten Oberfläche des Substrats (14) abgewandten Oberflächen des p-Bereichs (16) und des n-Bereichs (18) angeordnet sind.

20

19. PIN-Diode (10) gemäß einem der Ansprüche 8 bis 18, bei der der Abstand zwischen dem p-Bereich (16) und dem n-Bereich (18) mehr als 30 µm beträgt.

25

Zusammenfassung**Laterale PIN-Diode und Verfahren zur Herstellung derselben**

5 Eine PIN-Diode (10) umfasst einen ersten p-Bereich (16) auf einer ersten Oberfläche (12) eines Substrats (14), einen n-Bereich (18) auf der ersten Oberfläche (12) des Substrats (14) und einen Zwischenbereich (20) auf der ersten Oberfläche (12) des Substrats (14) zwischen dem p-Bereich (16) und dem
10 n-Bereich (18), wobei eine Dotierungskonzentration des Zwischenbereichs (20) niedriger ist als eine Dotierungskonzentration des p-Bereichs (16) und niedriger ist als eine Dotierungskonzentration des n-Bereichs (18). Die PIN-Diode (10) ist vorzugsweise von dem Substrat (14) durch eine isolierende
15 Schicht (22) getrennt, an der von dem Substrat (14) abgewandten Oberfläche von einer weiteren isolierenden Schicht (24) bedeckt und lateral von einem mit einem isolierenden Material gefüllten Graben (34) umgeben, so dass sie im wesentlichen vollständig isolierend gekapselt ist.

20

Fig. 1a

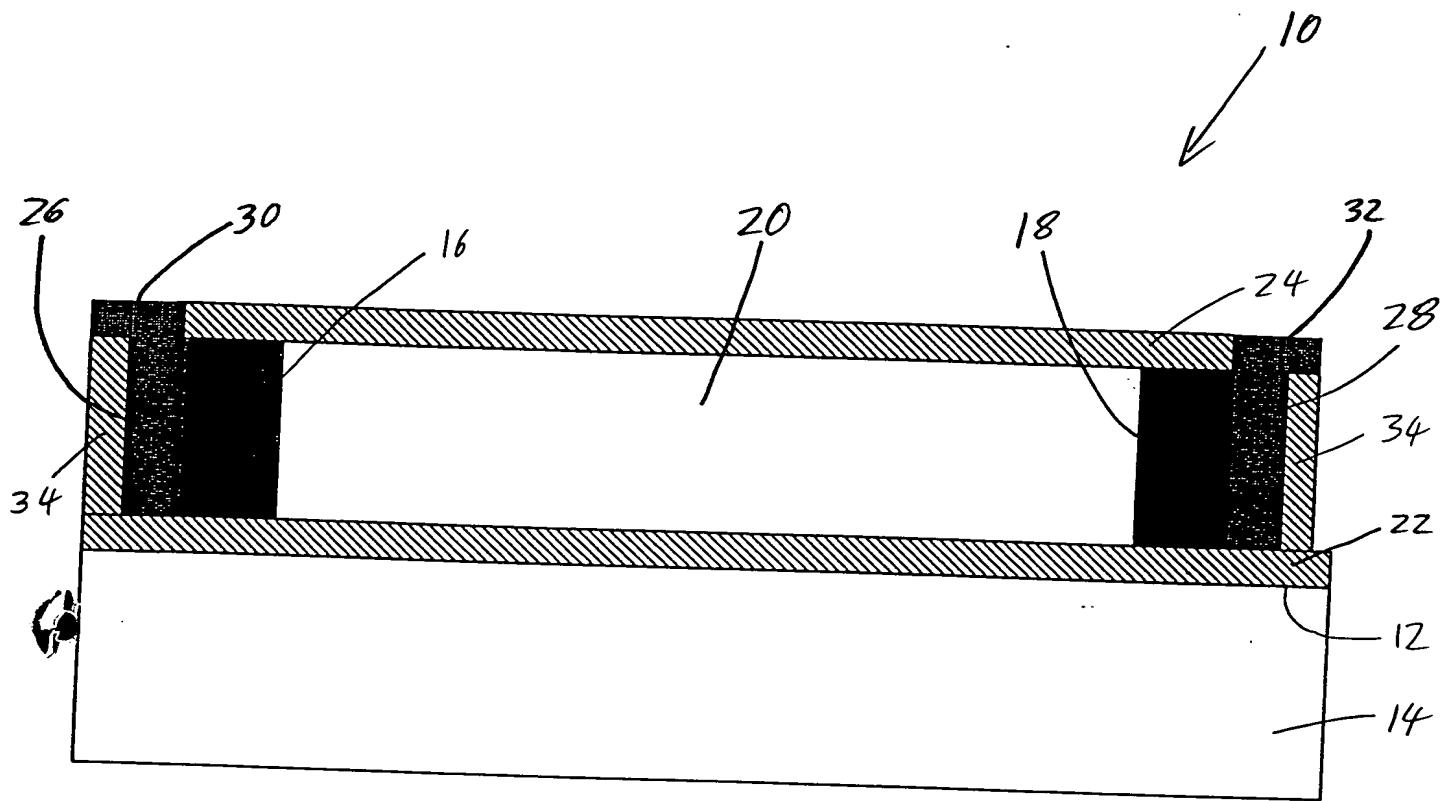


Fig. 1a

Figur zur Zusammenfassung

Bezugszeichenliste

10 PIN-Diode
12 erste Oberfläche des Substrats
14 Substrat
16 p-Bereich
18 n-Bereich
20 Zwischenbereich
22 erste isolierende Oxidschicht
24 zweite isolierende Oxidschicht
26 erstes elektrisch leitfähiges Bauglied
28 zweites elektrisch leitfähiges Bauglied
30 erste Anschlussfläche
32 zweite Anschlussfläche
34 Graben
116 weiterer p-Bereich
126 drittes elektrisch leitfähiges Bauglied
130 dritte Anschlussfläche
218 weiterer n-Bereich
228 drittes elektrisch leitfähiges Bauglied
232 dritte Anschlussfläche

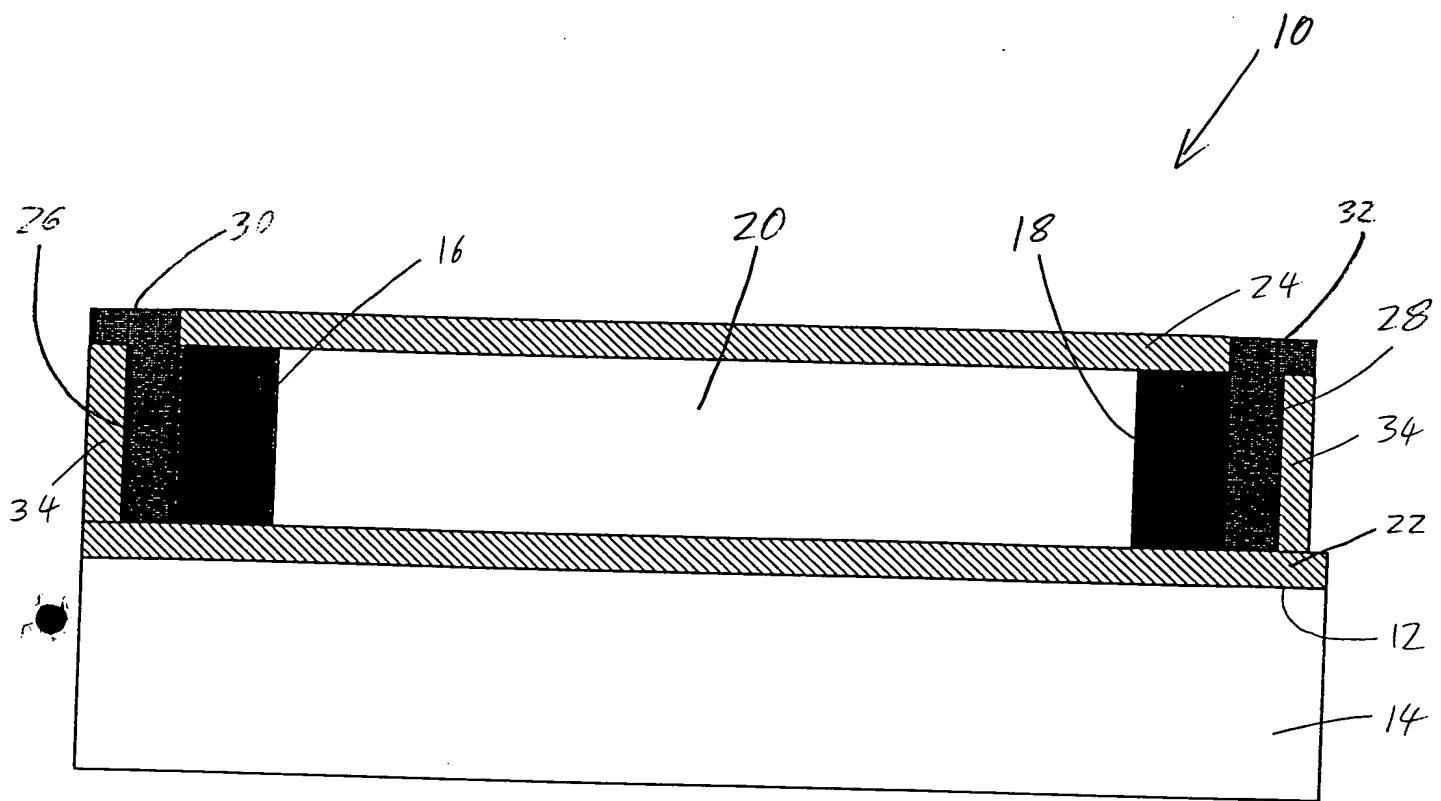


Fig. 1a

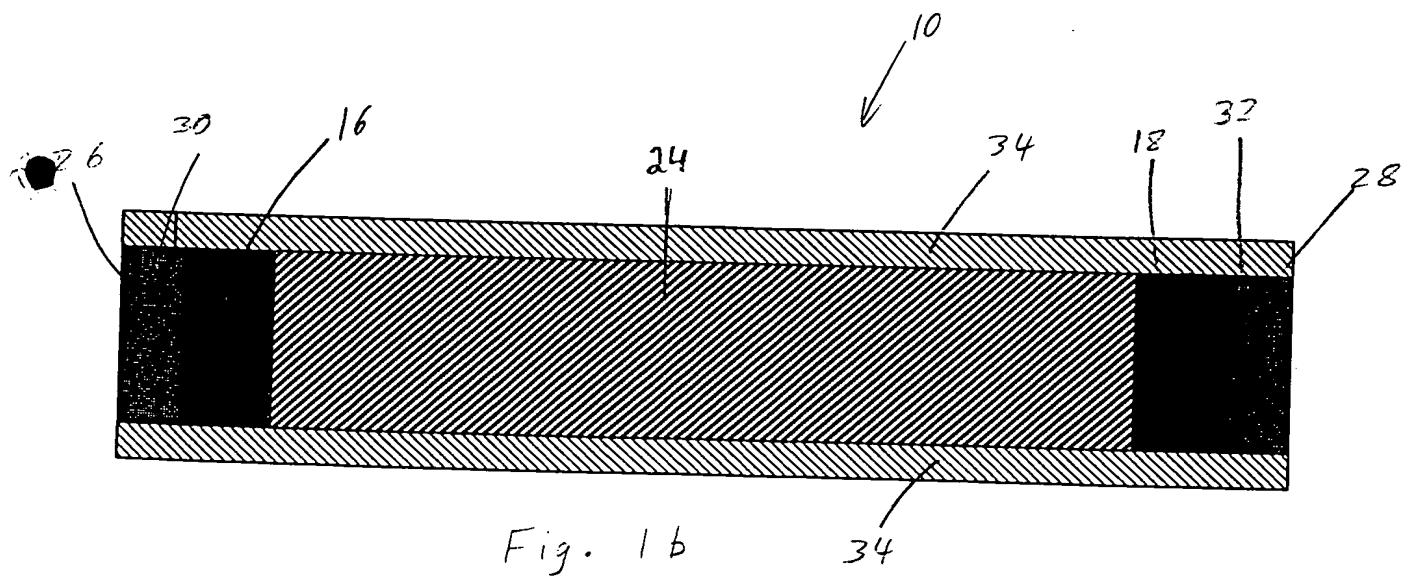
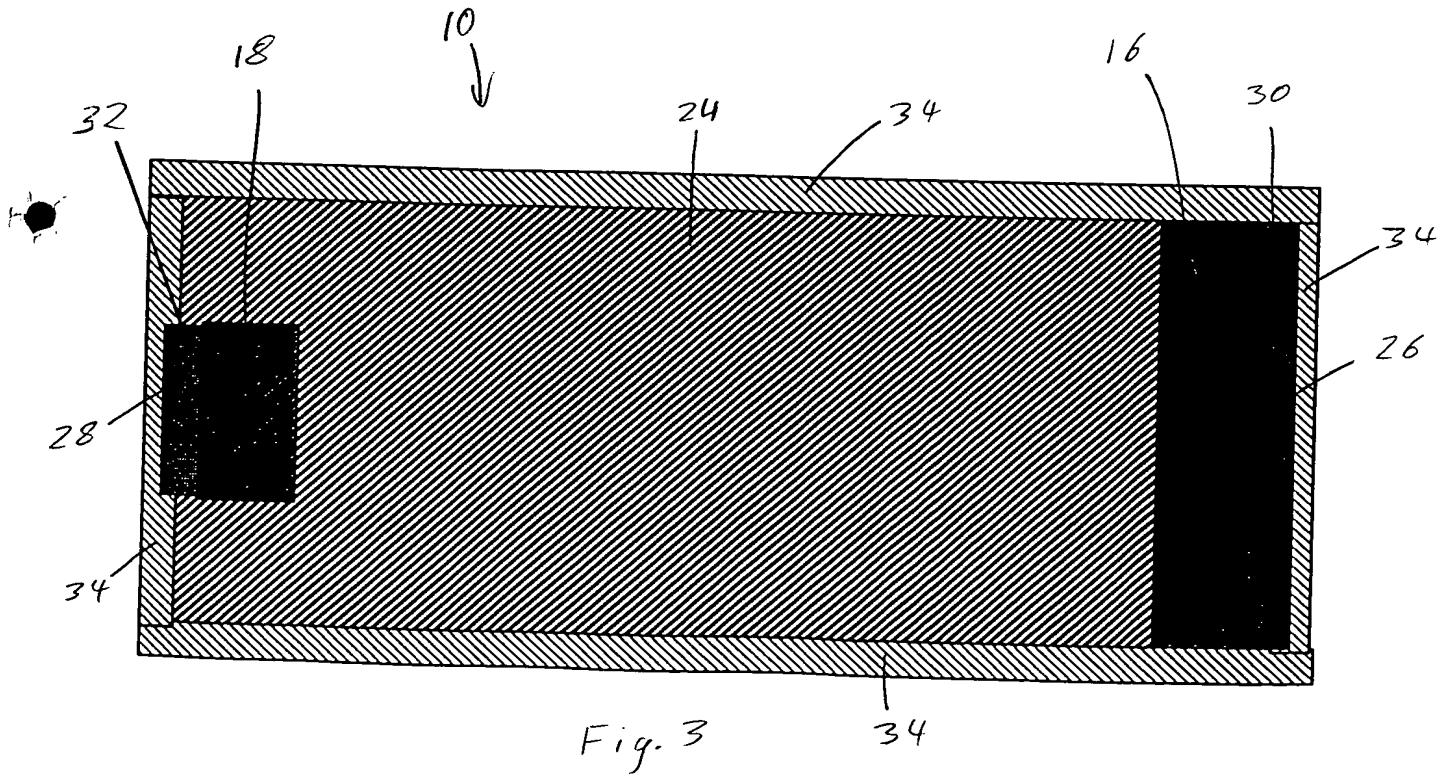
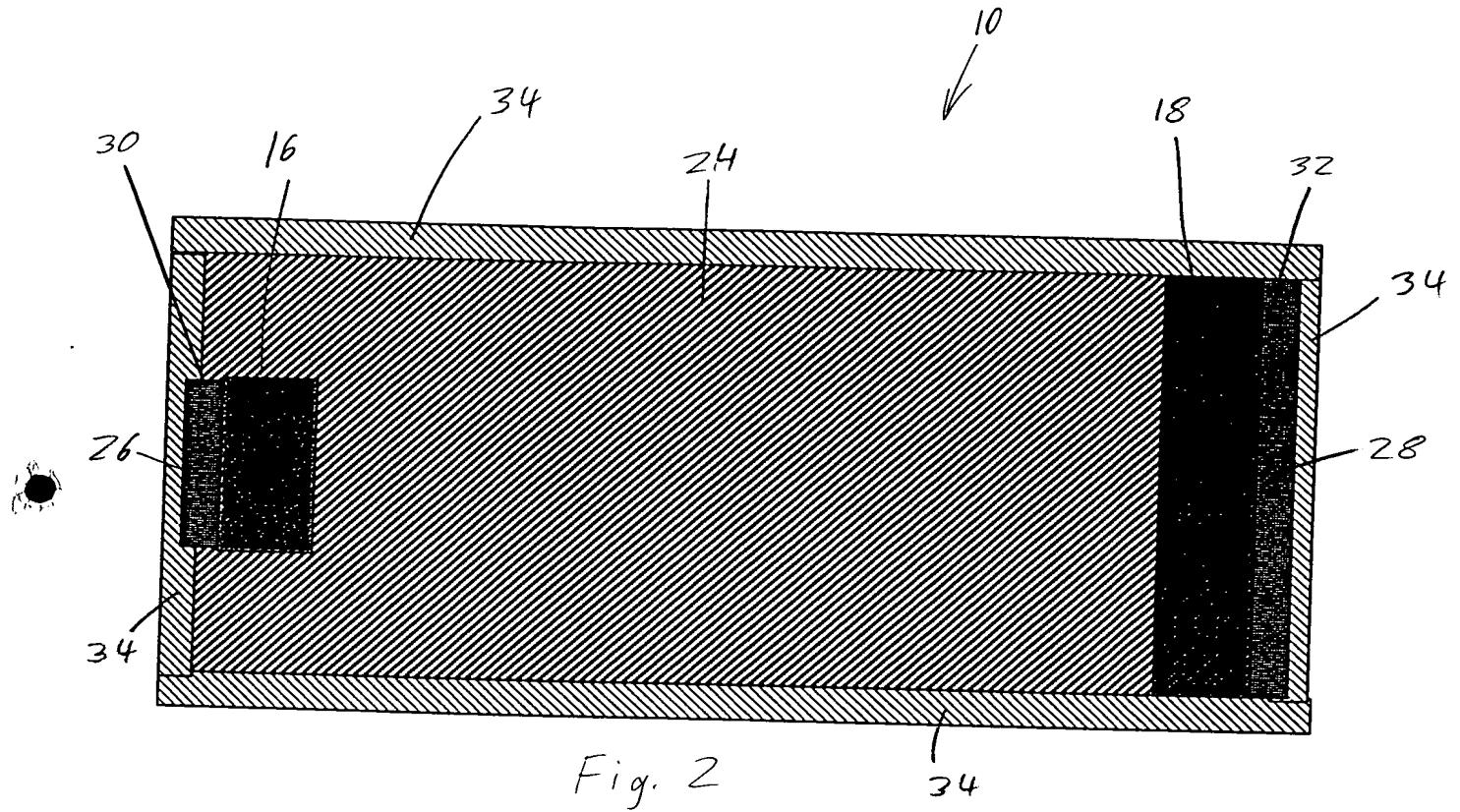


Fig. 1b



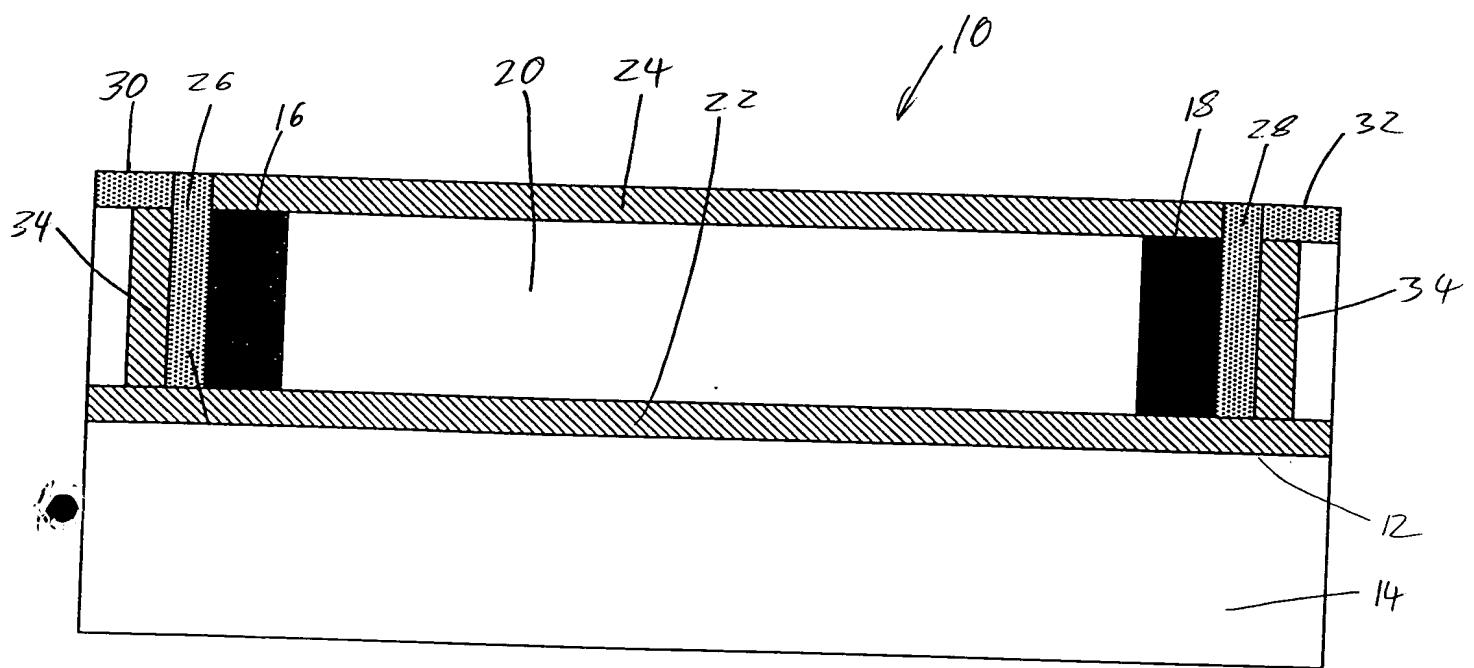


Fig. 4a

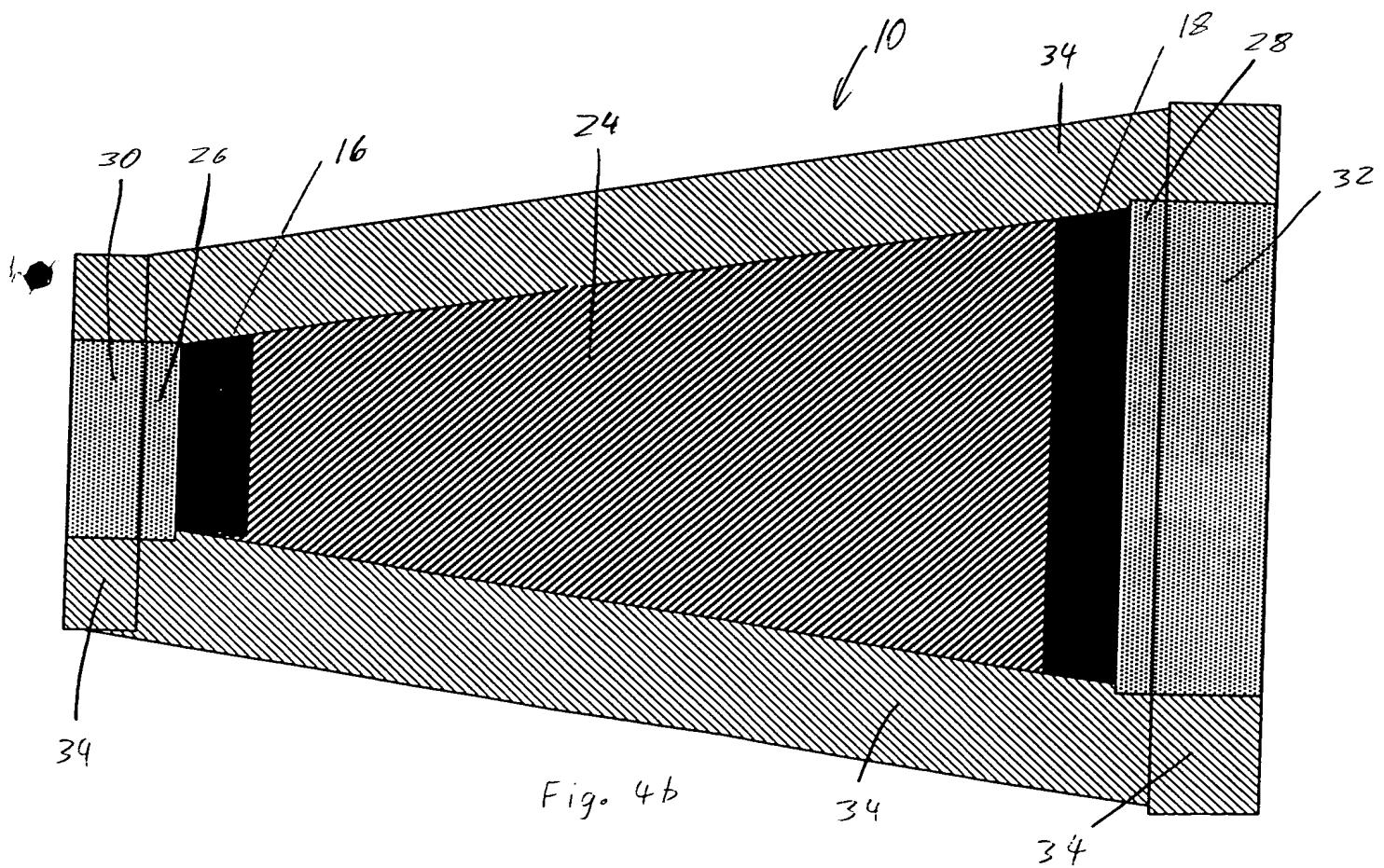


Fig. 4b

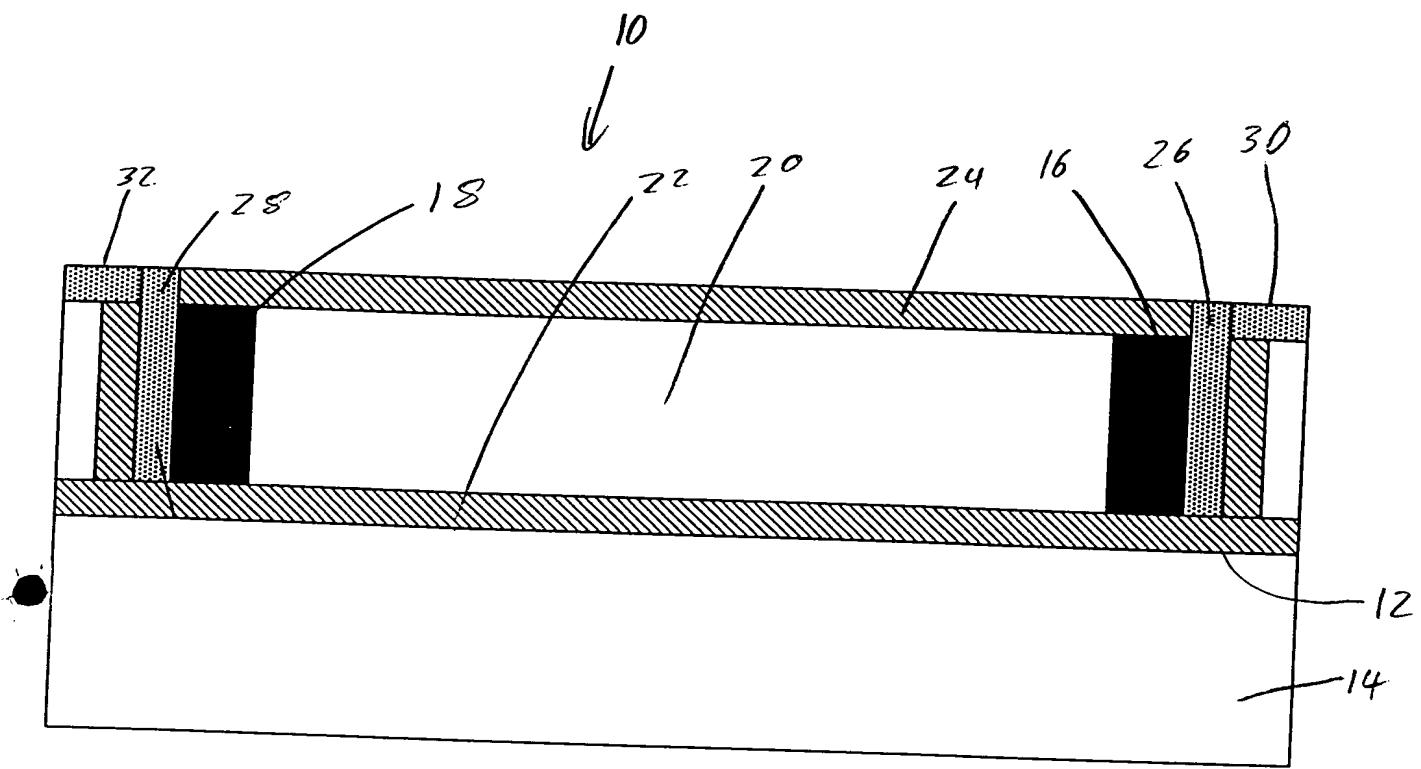


Fig. 5a

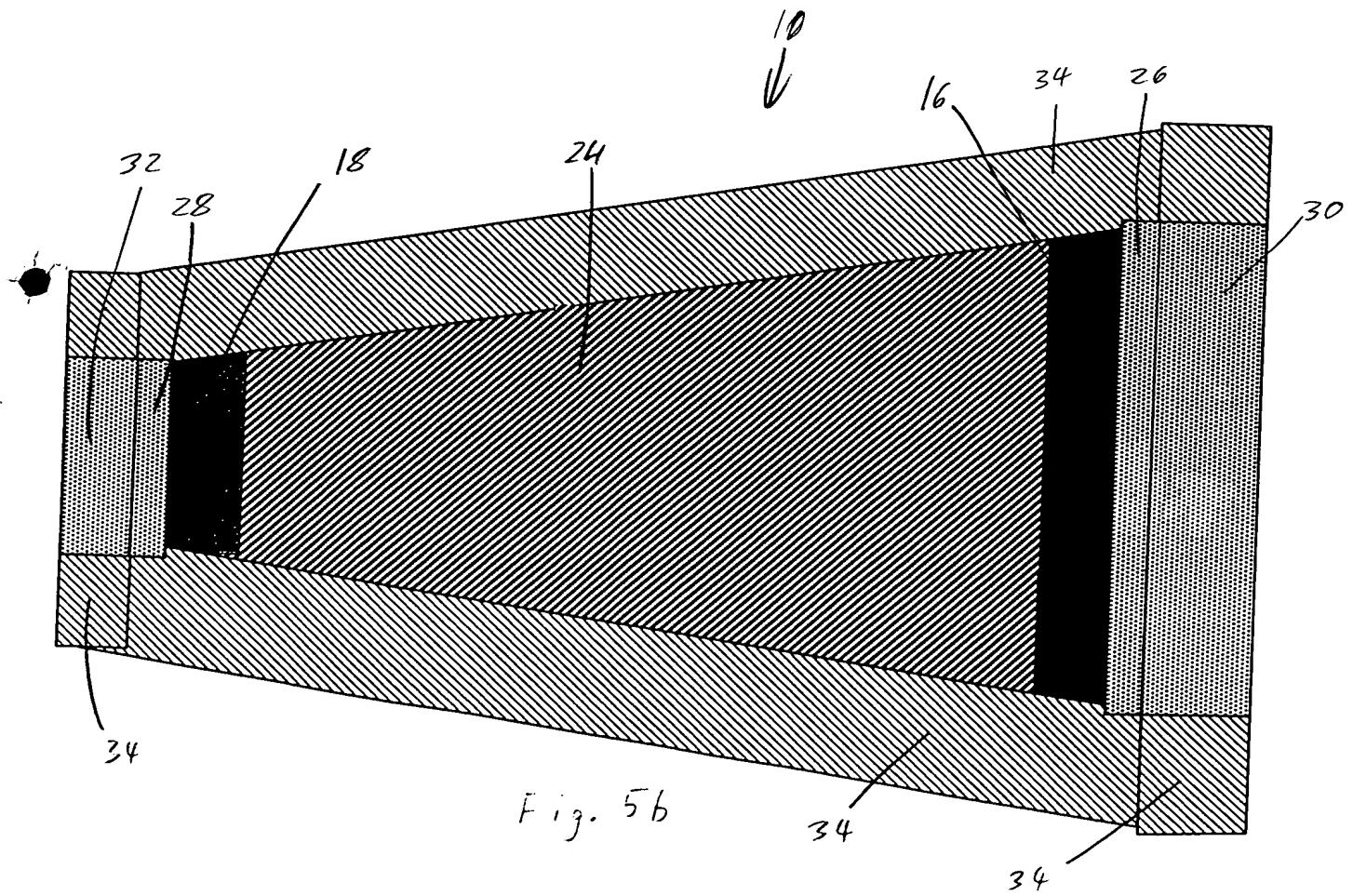


Fig. 5b

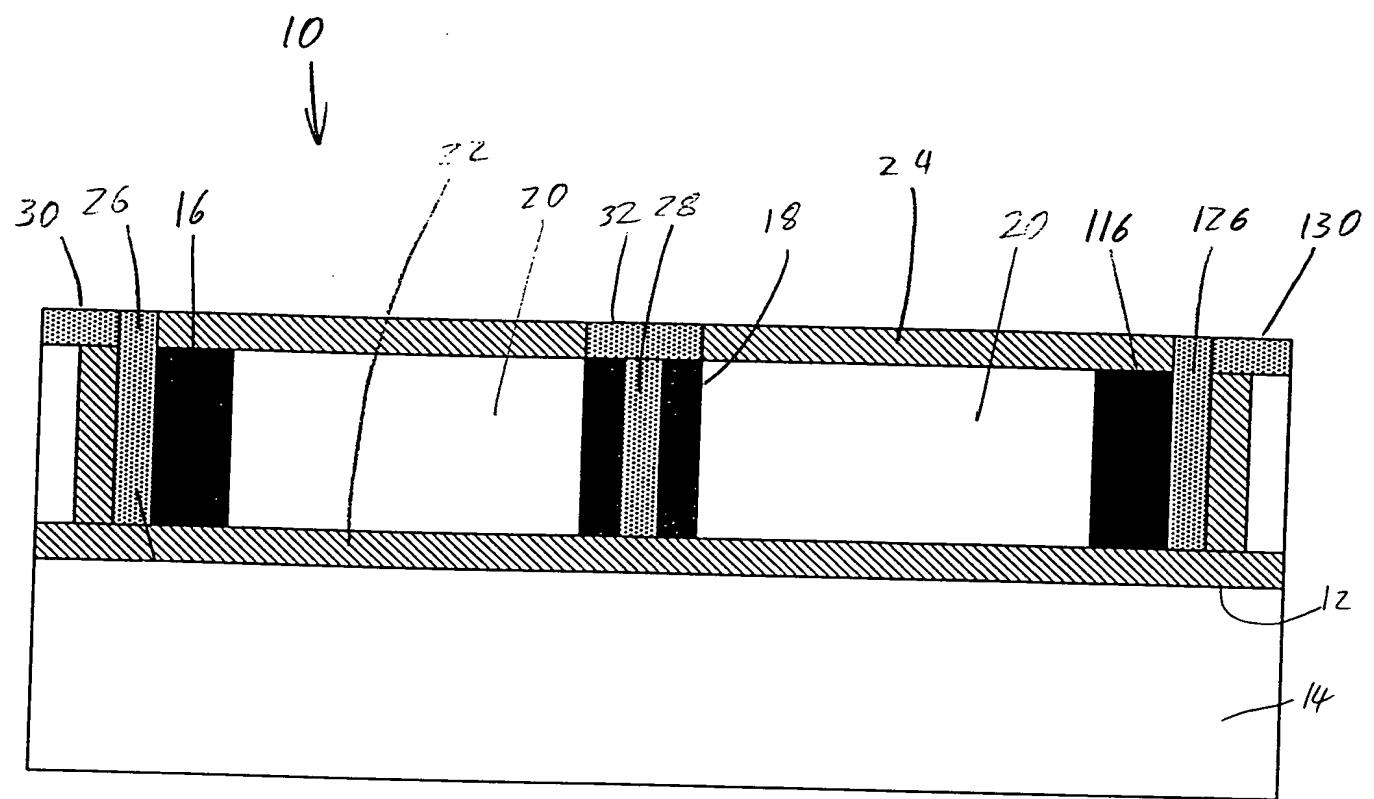


Fig. 6a

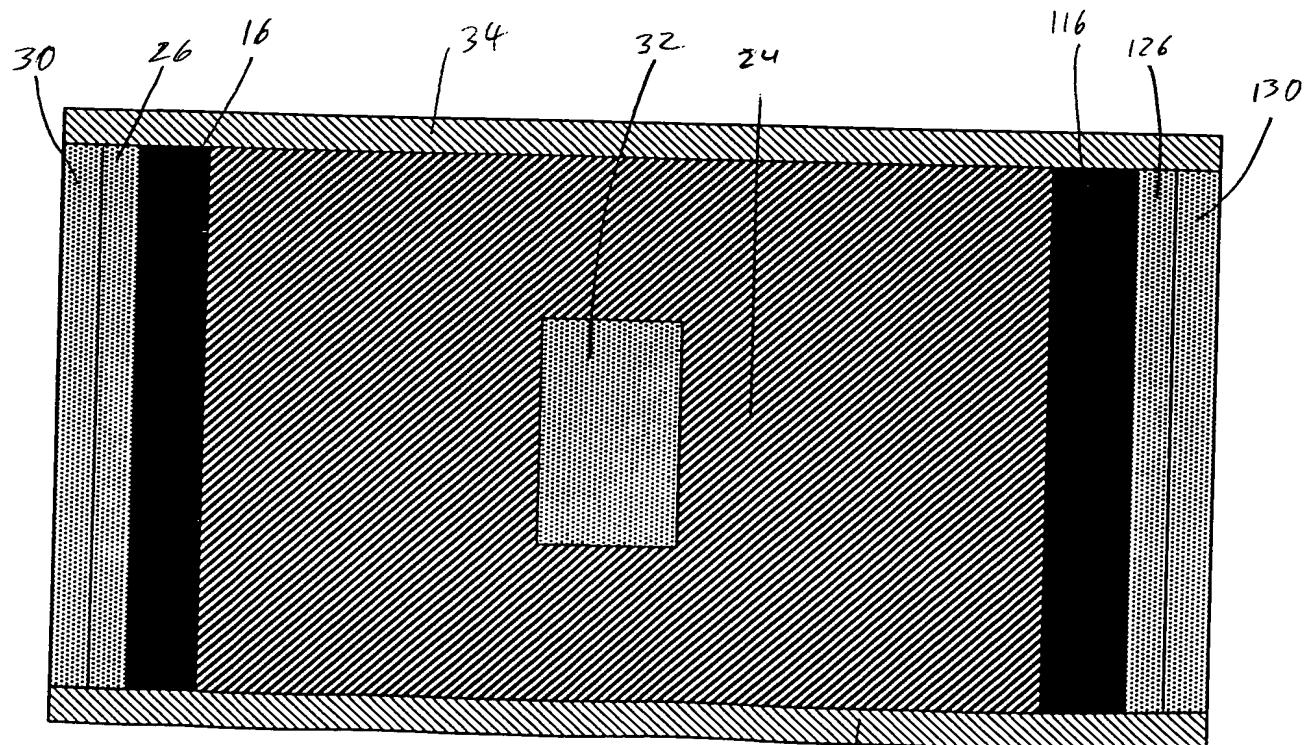


Fig. 6b

34

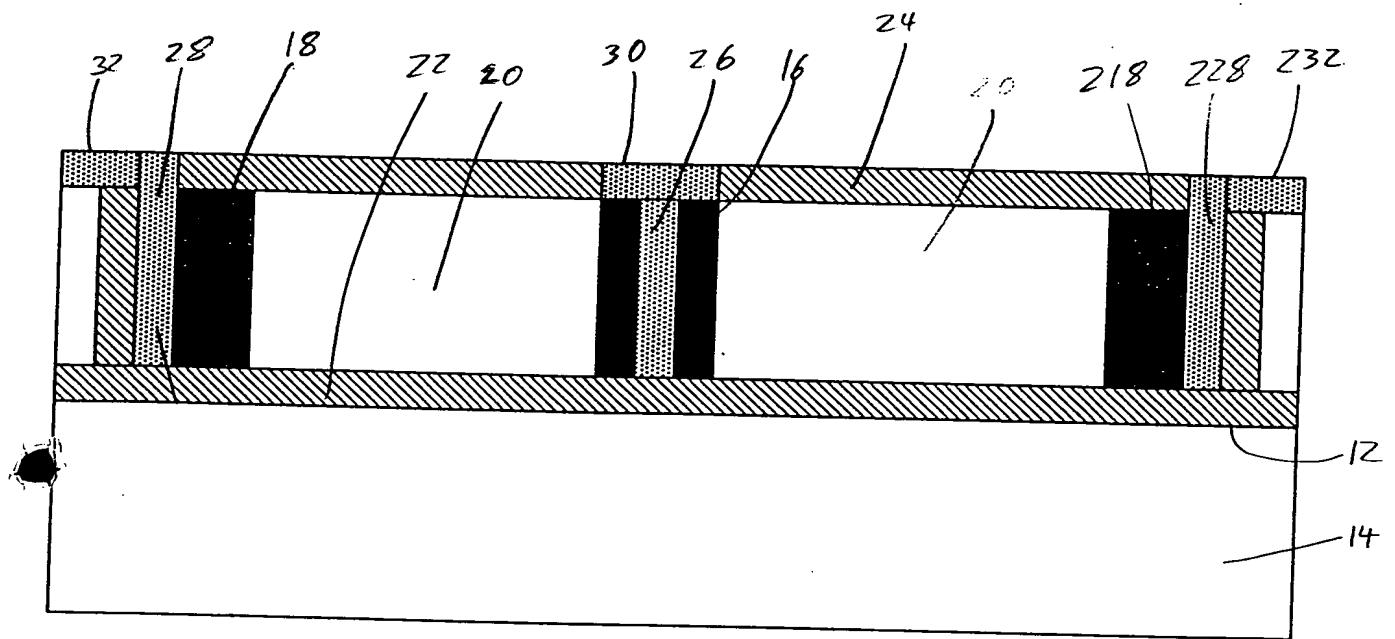


Fig. 7a

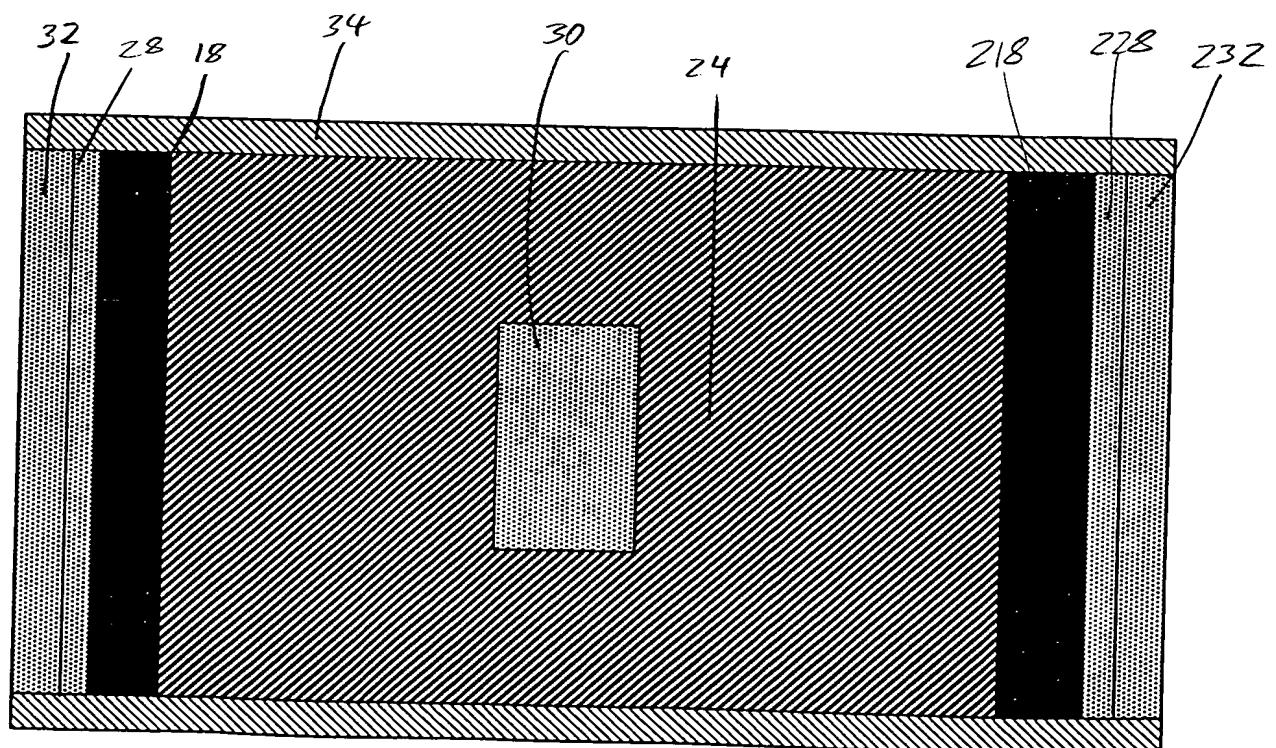


Fig. 7b

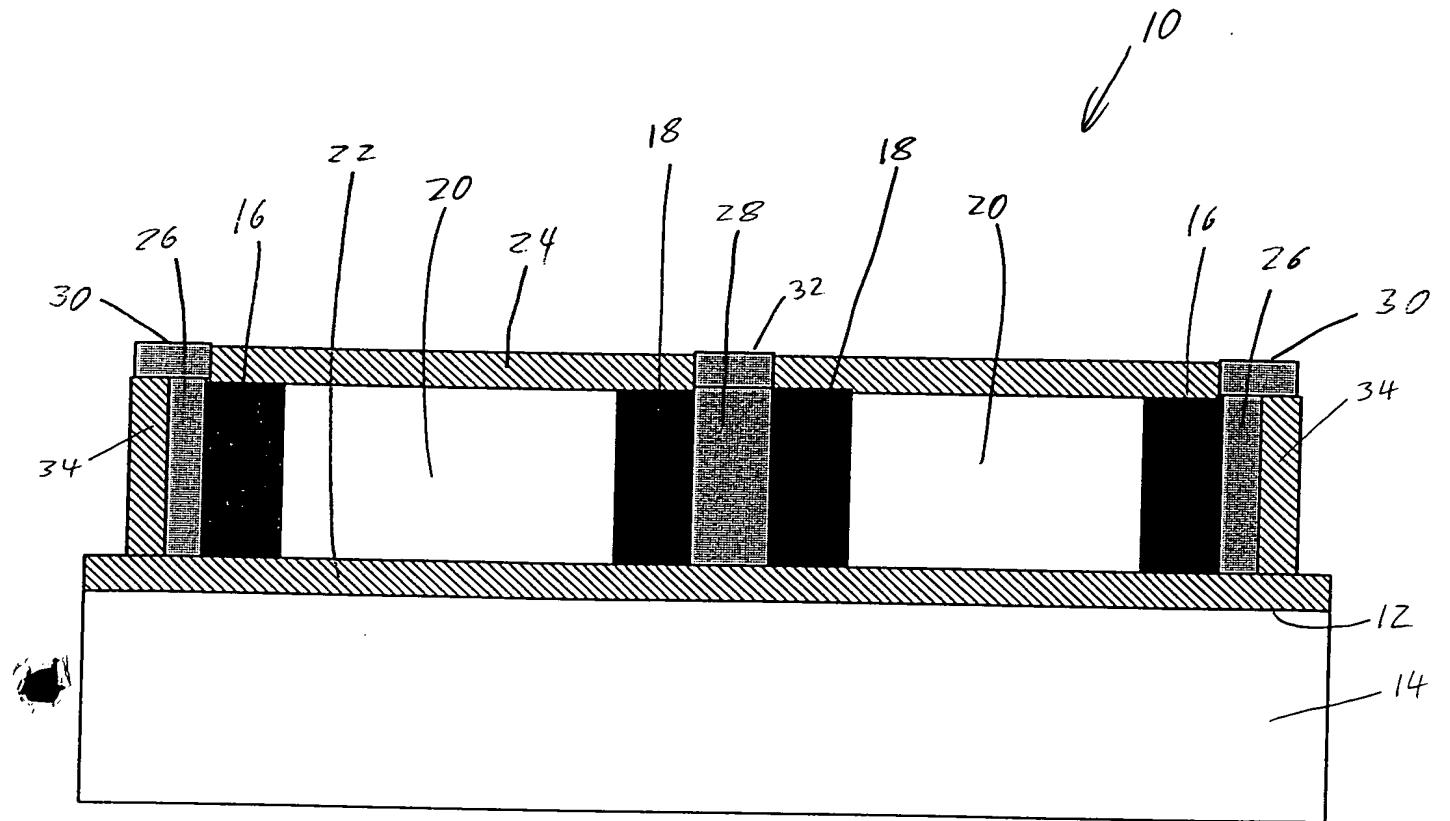


Fig. 8a

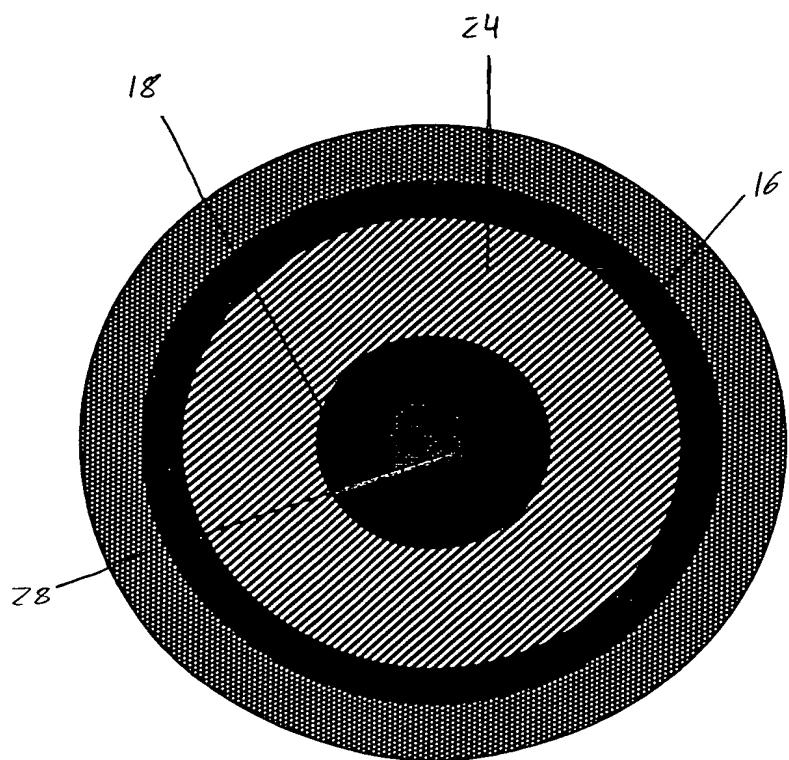


Fig. 8b

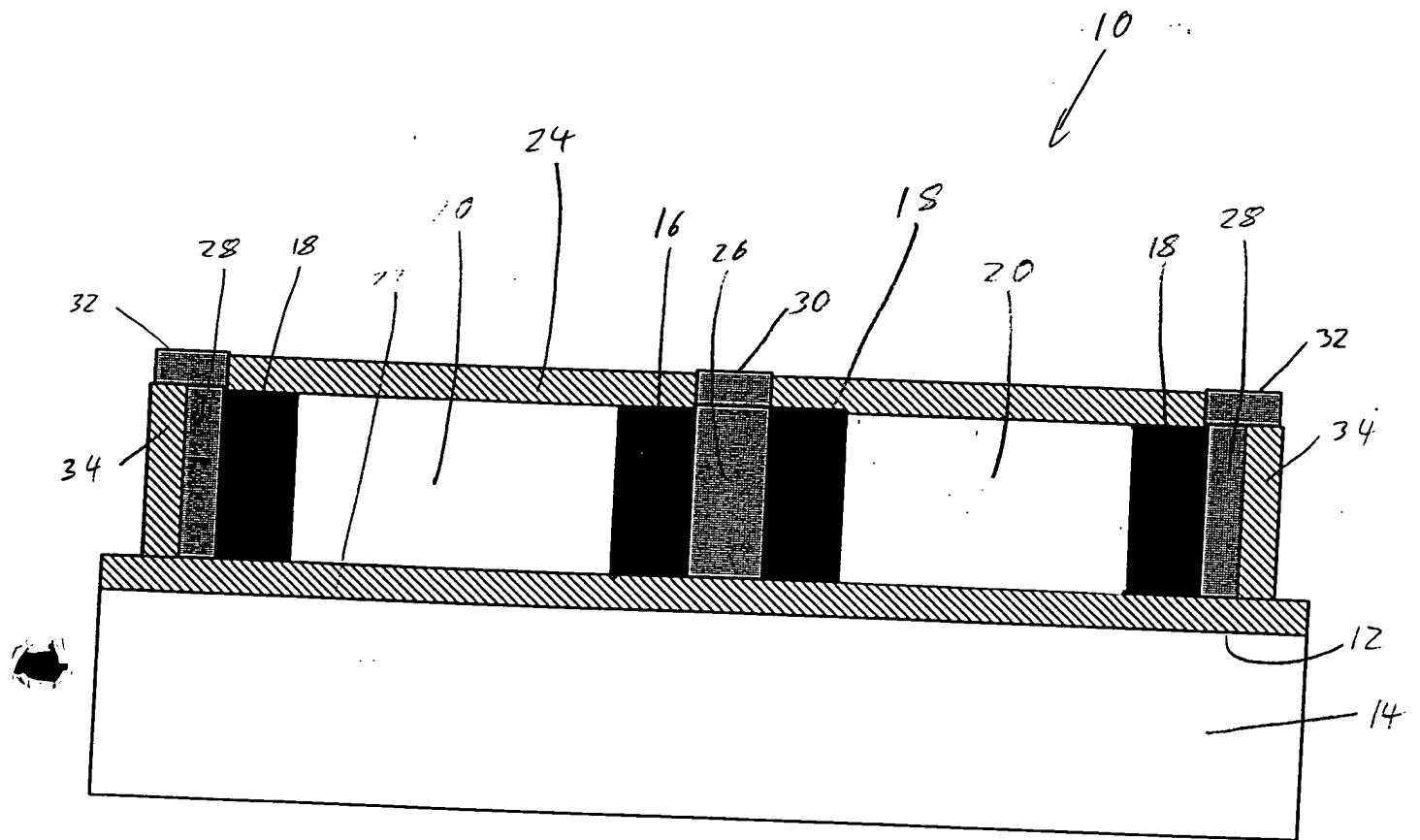


Fig. 9a

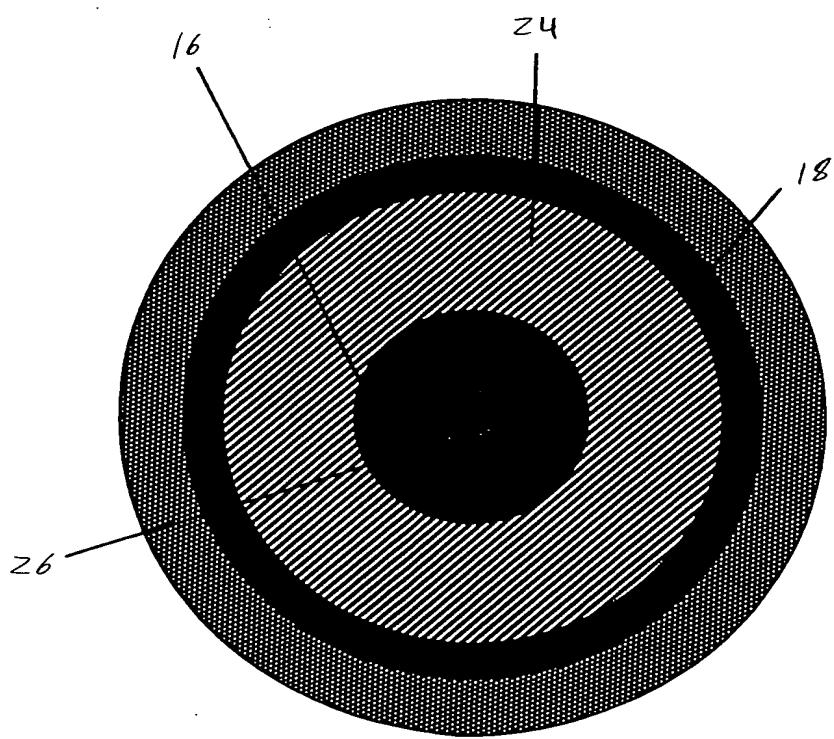


Fig. 9b